

## ***i*Coupler隔离产品的ESD/闩锁考虑因素**

作者: Rich Ghiorse

### **简介**

ADI公司的*i*Coupler®产品提供了一种替代光耦合器的隔离解决方案,具有出色的集成度、性能和功耗特性。一个*i*Coupler隔离通道包括CMOS输入和输出电路与一个芯片级变压器(见图1)。由于数字隔离器采用CMOS技术,因此在系统级ESD(静电放电)、电涌电压、快速瞬变或其他过压条件下,它们容易受到闩锁或ESD的破坏。

本应用笔记提供关于避免这些问题的指南。针对各种系统级测试配置,本文举例说明了其可能影响性能的机制。针对每个示例,本文都给出了推荐解决方案。

### **器件与系统**

简单地说,器件是带互连线的单一集成装置,而系统则是由多个互连器件构建而成的非集成装置。器件与系统几乎在所有情况下都是泾渭分明。但是,器件测试与系统测试之间的区别可能并不是那么明显。此外,器件的技术规格可能并未直接说明它在系统级测试中的表现。ESD测试就是一个很好的例子。

ESD、电涌、突波和快速瞬变事件是电气应用中的基本现实。这些事件一般都含有高压、持续时间很短的尖峰,并且直接或间接作用于器件。其产生原因是器件与各种实际现象的交互,如人体接触、交流线路扰动、雷击或系统地之间的共模电压差等。

为了确定器件在组装成系统之前以及组装过程中被人和自动化组装设备处理的鲁棒性,器件级ESD测试最为有用。然而,对于确定器件在系统内遭受系统级ESD事件的鲁棒性,器件级ESD数据则不太有用。其原因有如下两方面:

- 系统级与器件级ESD测试的目的不同。器件级测试所应对的情况通常是器件搬运和组装过程中会遇到的情况,而系统级测试所应对的情况通常是系统运行中会遇到的情况。
- 器件在系统级测试期间所承受的特定状况可能与它所在的电路板/模块/系统设计密切相关。例如,系统与器件地之间的长感性走线对器件造成的电压瞬变,实际上比它对系统在测试点造成的电压瞬变可能更为严重。

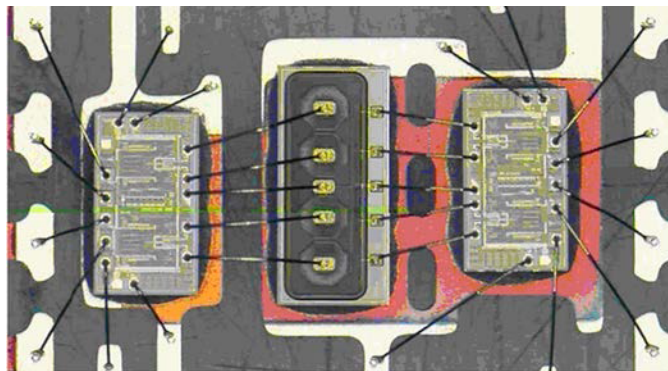


图1. 四通道隔离器

## 目录

简介.....	1	注入ESD电流.....	5
器件与系统.....	1	ESD电流发生感性耦合.....	6
修订历史.....	2	IEC 61000-4-5电涌测试.....	7
测试结果.....	3	IEC 61000-4-4快速瞬变和突波测试示例.....	7
用于分析系统测试性能的电路模型.....	3	ESD强化型数字隔离器.....	8
CMOS器件中的闩锁.....	4	ESD强化型系列产品的内部情况.....	8
IEC 61000-4-2 ESD测试.....	4	结论.....	8

## 修订历史

### 2014年8月 — 修订版0至修订版A

更改“简介”部分.....	1
更改“注入ESD电流”部分.....	5
更改表3.....	8

### 2006年7月—修订版0：初始版

## 测试结果

表1总结了ADuM1400/ADuM1401/ADuM1402四通道隔离器的ESD测试结果。从表1看，可能有人会认为，这些数字隔离器只能用于ESD额定值小于4kV的系统。但事实上，这些产品用于ESD额定值超过15kV(IEC 61000-4-2标准)系统的现象很常见。

原因在于测试方法不同：器件级测试要求将ESD事件直接作用于未加电器件的引脚或本体，而系统级测试则要求将ESD事件作用于系统中可能受外部ESD现象影响的各个位置。此外，器件级测试和系统级测试所用的特定波形也不同。

**表1. ADuM1400/ADuM1401/ADuM1402 ESD测试结果<sup>1</sup>**

ESD模型	第一次通过电压(V)	第一次失败电压(V)
人体模型	3,500	4,000
场感应充电装置模型	1,500	2,000
机器模型	200	400

<sup>1</sup> 欲了解ADI公司ESD测试的详细信息，请参考ADI公司《[可靠性手册](#)》。

为了准确预测系统中的性能，设计人员需要了解系统测试的性质，并评估其在器件层面对产品的影响。表2列出了隔离应用常用的系统级测试。“IEC 610000-4-5 ESD测试”、“IEC 610000-4-2电涌测试”以及“IEC 610000-4-4瞬变和突波测试示例”部分讨论了关于这些测试的部分示例。

**表2. 隔离应用常用的系统测试**

测试标准	用途	测试电压(V rms) <sup>1</sup>
IEC 61000-4-2	ESD	2,000至15,000
IEC 61000-4-4	快速瞬变/突波	500至4,000
IEC 61000-4-5	电涌	500至4,000

<sup>1</sup> IEC 61000-4测试包括兼容性测试；所示测试电压为1级(最低)至4级(最高)兼容性的电压范围。

## 用于分析系统测试性能的电路模型

图2所示为数字隔离器的电路模型，它可帮助我们了解系统级测试的影响。L1、L2、L3和L4电感主要源于封装引脚和焊线，而电容C1则源于隔离栅两端的杂散电容。电感值约为0.2 nH。每个隔离通道的电容值约为0.3 pF。

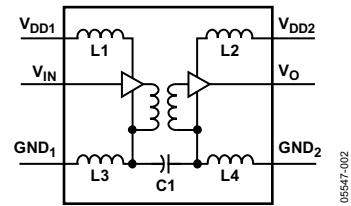


图2. 有助于分析系统设计的电路模型

## CMOS器件中的闩锁

寄生PNP和NPN晶体管是CMOS工艺的固有现象，这些晶体管会配置为硅控整流器(SCR)。当此寄生SCR被触发时，就会发生闩锁。该现象会导致 $V_{DD}$ 与地之间出现低电阻路径，从而吸取大电流通过器件。这种过大的电流为电气过应力(EOS)造成破坏提供了可能性。

闩锁可能引起不同程度的破坏，从器件完全损毁到参数性能下降等。更为有害的是潜在故障，可能影响日后的系统运行。《模拟对话》杂志刊载了一篇关于闩锁一般问题的优秀论文，参见 *Analog Dialogue 35-05 (2001)* “打赢对抗CMOS开关闩锁的战争”。虽然该文主要讨论的是CMOS开关的问题，但它也普遍适用于所有CMOS器件，包括数字隔离器产品。

强烈建议所有应用都应使用陶瓷旁路电容，以使 $V_{DD}$ 与地之间的电源噪声最小。选择 $0.01\ \mu\text{F}$ 至 $0.1\ \mu\text{F}$ 范围的电容值，并尽量靠近器件放置。即使有充分的旁路，一些应用可能仍然会发生闩锁问题。将一个 $200\ \Omega$ 电阻与 $V_{DD}$ 串联也会有所帮助。在 $5\ \text{V}$ 应用中，它可以将电源电流限制在 $25\ \text{mA}$ ，低于闩锁触发电流。不过，根据所吸取电源电流的不同，此串联电阻可能会将器件引脚的电源电压降至不可接受的水平。当以高数据速率工作而需要高电源电流时，极有可能出现这一问题。

导致闩锁的机制通常是过压状况超出器件的绝对最大额定值(对大多数产品而言是大于 $7.0\ \text{V}$ 或小于 $-0.5\ \text{V}$ )。一旦将器件集成到系统中，过压来源往往不是很清楚。但只要了解其机制，一般还是能找到解决之道。

## IEC 61000-4-2 ESD测试

IEC 61000-4-2 ESD测试的框图如图3所示。本测试是在系统机壳上的多个点施加ESD接触或空气放电，因此会有多种机制可能引起闩锁问题，包括通过地线之一注入电流以及系统机壳或印刷电路板走线中的ESD电流发生感性耦合。

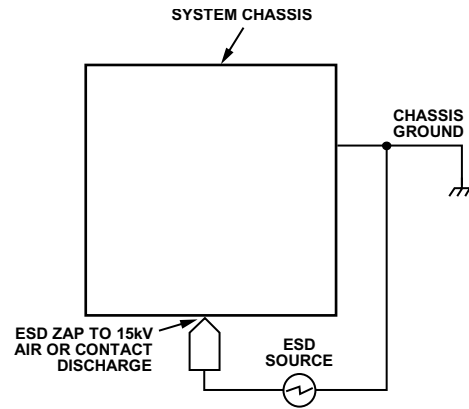


图3. IEC 61000-4-2 ESD测试

## 注入ESD电流

第一种可能的闩锁机制是过量ESD电流注入地。图4显示了隔离器用作悬空输出的情形(同样的机制也可能存在于悬空输入配置中)。本例中,机壳阻抗 $Z_{\text{CHASSIS}}$ 会在ESD放电期间产生注入电流,此电流在L3、C2、L4和 $C_{\text{STRAY}}$ 所形成的环路中流动。 $C_{\text{STRAY}}$ 是连接到机壳接地的输出电缆屏蔽层的电容。 $C_{\text{STRAY}}$ 的值越大,则注入电流越大,相应地L4上出现的内部噪声电压也越大。如果此电压驱动 $\text{GND}_2$ 超出其绝对最大额定值,就会发生闩锁。

为了避免电流注入问题,建议采取下列措施:

- 尽可能降低机壳对地的阻抗。
- 尽可能降低隔离栅两端的电容 $C_{\text{STRAY}}$ 。
- 如果可能,放置一个 $R_S$ 电阻与 $V_{\text{DD}1}$ 和 $V_{\text{DD}2}$ 串联,以限制闩锁触发电流。推荐电阻值为 $200\ \Omega$ 。
- 如果 $R_S$ 无法采用推荐值,可采用带可选电阻 $R_S$ 的瞬变电压抑制器(TVS),并使其与TVS和每个 $V_{\text{DD}}$ 引脚串联连接。 $R_S$ 推荐值范围为 $50\ \Omega$ 至 $200\ \Omega$ 。TVS应当在产品的绝对最大电压额定值触发,并限制进入电源节点( $V_{\text{DD}1}$ 和 $V_{\text{DD}2}$ )的电流。对于isoPower器件,请不要在 $V_{\text{ISO}}$ 输出引脚上使用串联电阻。
- 在机壳接地与 $\text{GND}_1$ 之间放置一个 $50\ \Omega$ 电阻,以降低 $I_{\text{INJECTED}}$ 并最终降低 $V_{\text{NOISE}}$ 。
- 在该连接与机壳接地之间放置一个用于吸收瞬变的齐纳二极管,以将噪声电压箝位在齐纳电压范围内。

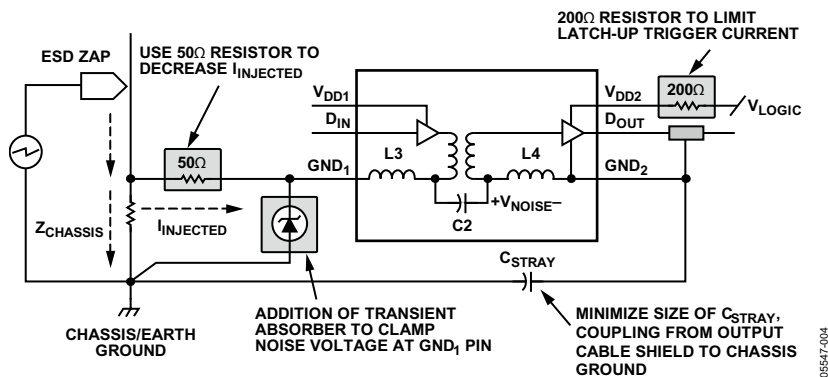


图4. 注入ESD电流机制和推荐解决方案

## ESD电流发生感性耦合

还有一种可能是印刷电路板或系统机壳中存在的ESD电流发生感性耦合。对于绝大多数应用，外部磁场在*iCoupler*变压器上产生感应噪声不是一个问题，但在IEC 61000-4-2 ESD测试中，某些罕见情况下需要注意这一问题。对此问题的解决办法相当直观。

图5和图6显示了一个ESD测试设置和ESD冲击所引起的电流 $I_{ESD}$ 和 $I_1$ 的路径。这些电流可能非常大，并在应用的印刷电路板和机壳上感应产生很大的磁场。机壳内接地走线的布放和几何形状、接地电路连接、板位置以及方位，对于降低辐射磁场导致的感应噪声都很重要。

图5显示了一个不良布局，其中器件附近使用很细的接地走线。它还显示了一个接地环路，该环路允许 $I_{ESD}$ 的一部分 $I_1$ 流过电路板接地电路。距离较近和走线较窄等因素都会提高感应磁场的幅度。如果感应磁场足够强，就会引起上述自锁现象。图6显示了一个优化设计，它使用较宽并远离器件的接地层，此外单点接地可防止 $I_{ESD}$ 在板接地电路中流动。设计接地电路时，考虑电流路径有百利而无一害。

设计系统的机壳时，必须尽可能降低机壳接地连接的阻抗。此外，尽可能远离机壳边缘安装印刷电路板，并且在安放电路板时使器件与辐射磁场平行也是有好处的，如图7所示。

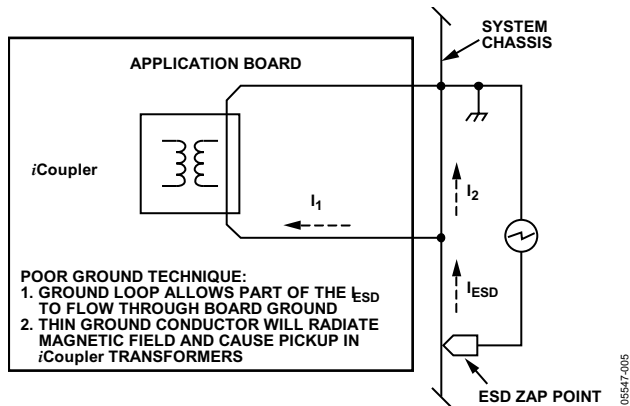


图5. 电路板接地电路的一个不良接地布局示例

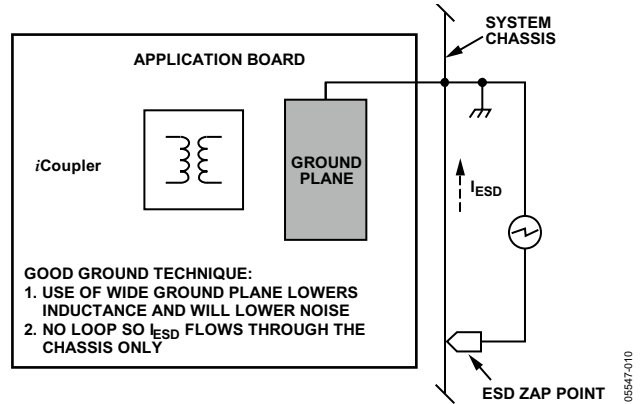


图6. 电路板接地电路的一个良好接地布局示例

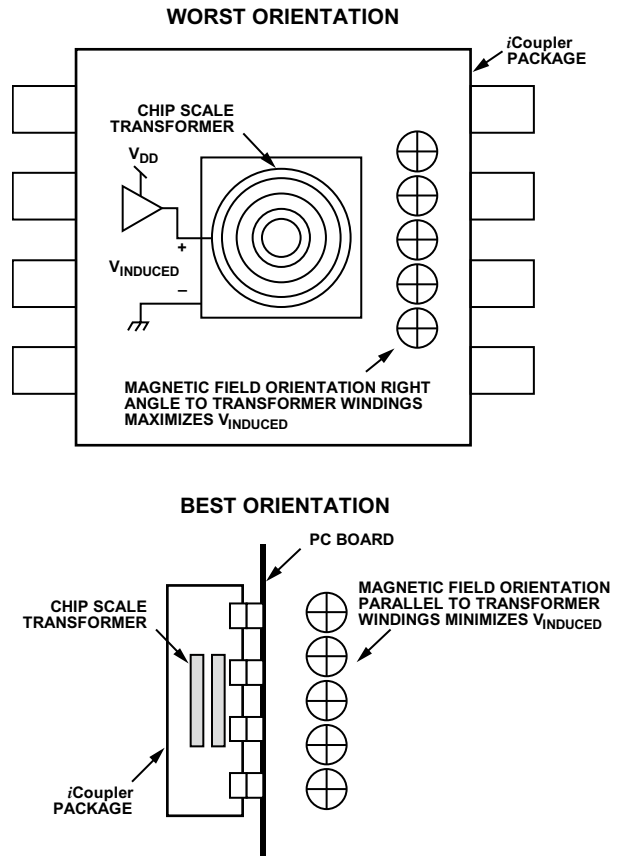


图7. 外部磁场与*iCoupler*变压器的交互作用

如果遇到感性耦合问题，建议采用下列解决方案：

- 正确设计接地系统，避免形成接地环路。
- 用接地层代替单根较窄的走线。
- 印刷电路板应远离机壳边缘。
- 如果可能，应使器件与外部磁场平行，如图7所示。





## ESD强化型数字隔离器

为了更好地支持数字隔离器在恶劣条件下的应用，ADI公司推出了ESD强化型系列产品。ESD强化型系列改进了电路设计和布局，提高了器件对ESD事件的耐受能力。这些产品与对应的标准隔离器系列产品引脚兼容且规格兼容。对于许多现有应用，标准产品工作情况良好，并且满足鲁棒性要求。因此，ADI公司将持续提供标准隔离器和ESD强化型系列产品。

ESD强化型系列的产品型号与标准产品类似。表3给出了这两个产品系列的产品型号示例。

**表3. 标准和ESD强化型iCoupler系列的产品型号示例**

标准产品	ESD强化型产品
ADuM1100	ADuM3100
ADuM1200	ADuM3200
ADuM1201	ADuM3201
ADuM1300	ADuM3300
ADuM1301	ADuM3301
ADuM1400	ADuM3400
ADuM1401	ADuM3401
ADuM1402	ADuM3402

## ESD强化型系列产品的内部情况

ESD强化型系列产品采用了多项设计改进，性能更稳定。具体改进包括：

- 所有输入/输出接口都增加了ESD保护单元。
- 使用几何形状更宽、平行放置且带过孔的线路来降低主要金属走线的电阻。
- 在PMOS与NMOS器件之间使用防护和隔离技术，最大程度减小CMOS器件固有的SCR效应。
- 通过在金属走线上使用45°拐角来消除高电场集中度区域。
- 在各电源引脚与相应的地之间使用更大的ESD箝位二极管，从而防止电源引脚过压。

## 总结

设计人员按照本应用笔记所提供的指南进行设计，将能确保在系统水平上成功应用数字隔离器产品。通过集总元件电路模型可以预料系统级测试的问题。借助这一模型以及对各种系统测试的深入了解，设计人员可以通过采取本应用笔记所建议的防范措施来避免这些问题。如果因为成本、系统设计或其它因素而不能实施所建议的措施，可以使用ESD强化型系列产品，该系列产品为避免ESD/闩锁问题提供了替代解决方案。