

同步数据转换器阵列的采样时钟

Kazim Peker和Altug Oz
ADI公司

摘要

在各种应用中（从通信基础设施到仪器仪表），对系统带宽和分辨率的更高要求促进了将多个数据转换器以阵列形式连接的需求。设计人员必须找到低噪声、高精度解决方案，才能为使用普通JESD204B串行数据转换器接口的大型数据转换器阵列提供时钟和同步。

时钟生成器件包含抖动衰减功能、内部VCO以及各种输出和很多同步管理功能，现已问世，它能解决这个问题。然而，在很多实际应用中，数据转换器阵列所需的大量时钟已经超出了单个IC元件所能提供的极限。设计人员经常试图连接多个时钟生成和时钟分配元件，从而创建丰富的时钟树。

本文提供一个关于如何构建灵活可编程时钟扩展网络的真实案例，它不仅具有出色的相位噪声/抖动性能，还可将所需的同步信息从时钟树的第一个器件传递至最后一个器件，同时提供确定性控制。

简介

无线通信系统从3G到4G和LTE（以及5G，目前正在规范讨论阶段）的演进是推动高速数据转换和同步的关键技术因素。在蜂窝基站应用中，多种因素共同作用，提高了数据带宽要求。主要的因素是，订阅数量的增加导致对更为丰富的多媒体内容的需求，以及对于使用全球蜂窝基础设施的机器间通信的新应用需求。其结果是，设计人员寻求全新的创新型RF收发器架构，这种架构具有更高的通道数，使用诸如有源天线设计、大规模MIMO和高级波束成形等技术。具有大量输入和输出的系统利用多条传输路径，需要大量的ADC和DAC元件。数据转换要求扩大后，采样时钟生成和同步就成了很大的设计挑战。在复杂系统

中，所需的时钟信号数量可以轻松从几个增加到上百个，如图1所示。

JESD204B标准定义了串行数据接口，可用于减少宽带数据转换器和其他系统IC之间的数据输入/输出数量。数据I/O数量的下降解决了高速、高位数数据转换器的互连问题。以更少的互连提供宽带数据转换器的能力简化了PCB布局布线，并实现更小的尺寸，且不降低整体系统性能。这些改进对于克服大部分应用中的系统尺寸和成本限制非常重要，包括无线基础设施、便携式仪器仪表、军事应用和医疗超声设备。

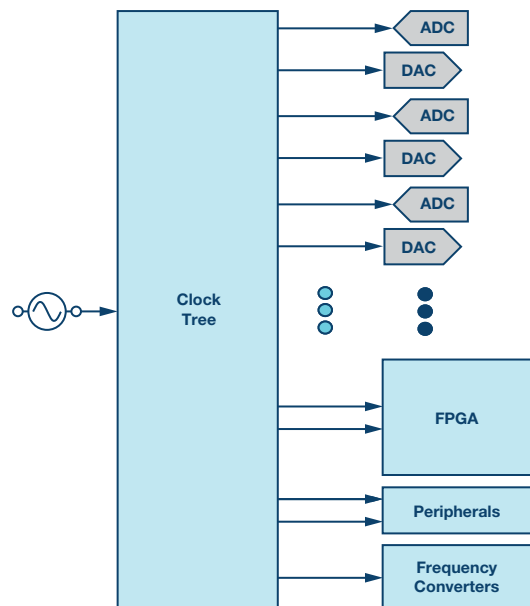


图1. 带时钟树的数据转换器系统

系统级考虑因素

在含有大型数据转换器阵列的复杂系统中，处理更大的数据量要求从天线到处理单元具有高SNR（信噪比）。从时钟角度来讲，SNR受限于采样时钟的相位噪声。较差的相位噪声性能会造成抖动并增加EVM（误差矢量幅度），从而严重降低SNR，影响系统性能。一般而言，时钟信号质量用抖动来表示，其定义为目标带宽内的相位噪声积分。通常，相位噪声积分限值为几十kHz到几十MHz。然而，宽带噪声同样很重要，因为较高的时钟信号噪声同样会影响系统SNR。较差的采样时钟还可能含有杂散信号内容，会降低SFDR（无杂散动态范围）。最终，考虑到占空比和上升/下降时间等参数，采样时钟质量不应仅在频率域中定义，还应在时间域中定义。

这些是采样时钟的基本系统要求。然而，在大型数据转换器阵列中，当不同阵列的时钟之间需要同步时，通道间偏斜便是一个关键要求。这类系统的性能取决于同步数据阵列，因此对不同数据转换器之间的偏斜很敏感。

功耗也是一个考虑因素。较高的功耗降低了系统效率，使温度升高并增加冷却成本和引线，且增加了潜在故障率。从商业角度出发，器件数和电路板空间同样是很重要的，应加以控制。

时钟树结构

如前所述，在一个大规模系统中，单个时钟IC通常没有足够的输出来驱动所有分支。时钟树拓扑也许可以克服这个问题，且能同步多个器件、设备，或多个系统。图2给出了一个时钟树拓扑框图。注意，树形结构的每一级都有延迟成分，由固定部分和不确定部分组成。

这些延迟可能受外界因素的影响，比如电压和温度变化，以及特定器件工艺变化。这种不精确性会叠加，可能导致ADC和DAC无法忍受的时序偏差，而高频时需要对其时钟信号进行同步。现代系统所要求的高工作频率意味着苛刻的建立和保持时间。虽然固定延迟可以通过其它方面加以补偿，但不确定性延迟却无法在系统中补偿。因此，设计人员的目标便是通过某种方式控制不确定性延迟，最小化甚至完全消除其影响。

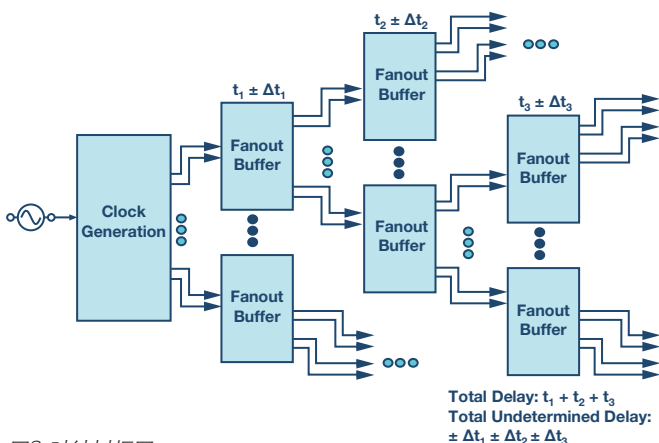


图2. 时钟树框图

除这些限制外，树形结构应当是灵活的，以便根据系统需要增加分支数量，并轻松控制它们。

实现时钟对齐和通道偏斜最小化目标的常见做法是使用确定性——也就是说，重复用于所有器件和所有上电时序。在JESD204B系统中，需要对齐本地多帧时钟(LMFC)，以实现确定性延迟。接口通过子类1 (SYSREF)或子类2 (SYNC)定义调用发送和接收器件的LMFC复位与对齐。系统中的不确定性延迟使得在1个LMFC周期内实现LMFC的对齐变得更为困难。因此，前文提到的带高精度对齐功能的时钟树结构可以帮助系统设计人员满足LMFC对齐要求。

此外，设计人员还需确保在每一个数据转换器输入端观察到相对于器件时钟而言可以接受的SYSREF信号建立和保持时间。如果设计中使用了单时钟芯片，则满足建立和保持时间要求直接保证了具有适当的时序裕量，而在基于简单时钟缓冲器的多器件时钟树结构中，控制建立和保持时间的难度更大。建议的时钟树结构具有不同层级之间的确定性同步，有助于满足所有层级的全部SYSREF/器件时钟对建立/保持时序的要求。这种时钟树结构可以满足同步限制，并在不同层级之间实现每一个数据转换器高速器件时钟的相位对齐。

时钟树设计

图3显示了一个四级时钟树示例，它采用了一个主时钟生成器件(HMC7044)和三级扇出缓冲器(HMC7043)来创建多个同步时钟，用于采样板。

使用一个HMC7044器件作为时钟树的根，它是一个14路输出时钟生成器，抖动衰减支持JESD204B同步。HMC7043器件——14路输出扇出缓冲器——用于每一级分支。这些器件完全兼容，它们的编程特性非常相似，因而可以很方便地进行器件匹配以及增加或减少时钟分配级，提升了系统的灵活性。

在时钟树的每一级，各输出之间也许可以实现同步。在本系统中，HMC7044的输出可以通过SPI命令（或者使用更精确的SYNC脉冲）进行相位对齐。该命令将复位HMC7044的通用SYSREF定时器，它控制所有时钟的输出分频器。所有输出时钟分频器均通过SYSREF定时器命令同步对齐。SYNC命令到SYSREF定时器的延迟，以及开启和关断时间之间的延迟非常明确，并提供输出之间具有确定性延迟的同步。此外，可以编程任意输出，生成确定数量的脉冲，用作系统中的SYSREF脉冲。

时钟分配器件HMC7043还含有非常相似的SYSREF定时器结构。该器件利用RFSYNC信号来实现对齐。RFSYNC脉冲将启动与HMC7044的SYNC信号相同的过程，并且所有输出都将以高精度同步。同样，输出可以设为脉冲模式，用作SYSREF脉冲。

建议的时钟树结构基本使用SYSREF信号作为HMC7043的下一级RFSYNC信号，同时在每一级的输出端保持相位对齐。通过仔细的架构设计，所有这些时序信号都可以是确定性的，从而具有严格的偏斜控制。此外，每个器件都包含一个模拟延迟结构，因此输出之间的任何偏斜差异或任何线路长度的不相等都可以在源头进行补偿。

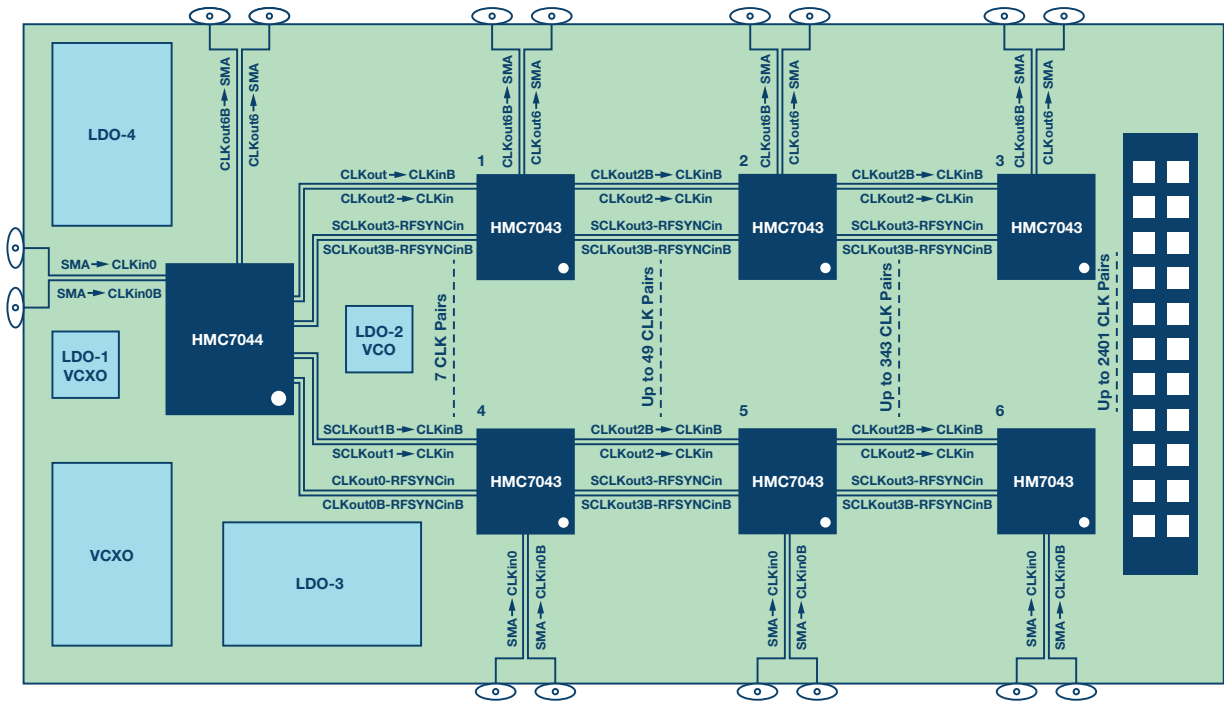


图3. 四级时钟树示例

对于RF系统中的复杂数据转换器阵列而言，可能需要使用不同的频率，因为ADC、DAC、FPGA、本振和混频器可能采用不同频率的时钟信号。HMC7044和HMC7043都集成了分频器，可生成多种频率的信号。另外，HMC7044具有双PLL结构，集成VCO，无需额外元件即可生成高频时钟。

常见通信系统的额外复杂性在于，大部分RF前端元件依赖串行接口连接到发送/接收模块，要求数据和时钟通过数字处理器或FPGA来嵌入/消除。这个过程通常会干扰基准时钟抖动，要求在较大的RF时钟生成和分配器件中集成抖动衰减能力，比如HMC7044。

用于数据转换器阵列的紧凑型解决方案如图4所示。

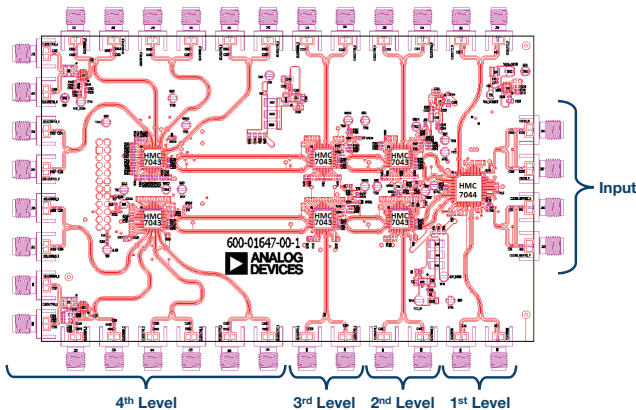


图4. 四级时钟树的紧凑型解决方案

测试结果

图5显示了所有输出之间的偏斜。黄线和青线信号是脉冲SYSREF信号和第4级输出的连续时钟信号，它们无需额外的延迟调节即可同步。蓝线信号是HMC7044的连续SYSREF信号，它通过模拟延迟功能与第4级输出同步。本例中的总偏斜低于16 ps。

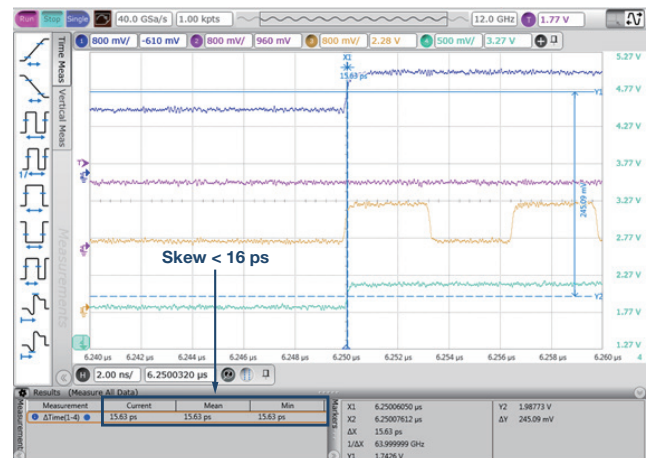


图5. 四级输出的时间域响应

四级时钟树的相位噪声性能如图6所示。时钟发生器的相位噪声同样以浅蓝色线表示。总相位噪声在高达2 MHz失调范围内无下降。给定每一级的加性噪声（加性抖动），则噪底性能不可避免地会下降，且在图中的这一部分可以看出噪声增加了6 dB。HMC7044和HMC7043具有相同的输出噪底（约为-154 dBc/Hz），并且全部四个器件的噪声下降至-148 dBc/Hz，这对于大多数系统而言仍然可以接受。

2457.6 MHz时, 12 kHz到20 MHz的积分噪声计算得到52.7 fs抖动rms, 相对于HMC7044输出仅下降了数fs rms。在几乎所有的实际系统中, 这种性能下降是可以忍受的; 但是如果不能接受的话, 那么最终级可以用HMC7044来代替(而不是HMC7043), 它可以衰减时钟树本身的一切累积抖动。

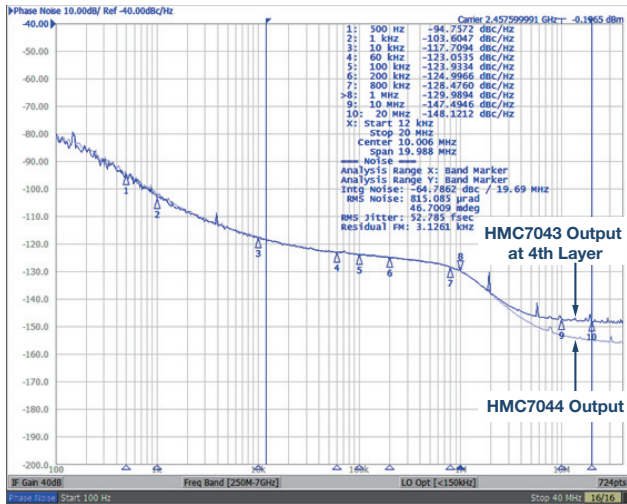


图6. 四级输出的时间域响应

如前所述, 在大量使用数据转换器的系统中, 功耗是最关键的问题之一。影响这类时钟树功耗的一个重要因素是使用的信号类型。HMC7044和HMC7043的输出信号模式可以通过软件控制单独更改, 从而提供了功耗与驱动强度及频率之间的权衡选择。原则上, 低频时可以使用低功耗LVDS, 而高频时使用LVPECL和CML可以实现最佳性能。

结论

本文中的讨论适用于采用分布式大型数据转换器阵列的各种不同系统, 范围涉及无线基础设施、军用雷达以及测试与测量系统。最近5G通信系统提出的更高频率和带宽调制方案的基础是多RF输入/输出接口的当前趋势, 需要更多的数据转换通道。此外, 在某些最新的5G架构方案中, 相位阵列天线出现的频率很高, 它是降低功耗、提升输出容量的一种途径。

相位阵列技术广泛用于军事通信系统中, 这项技术不仅需要大量时钟, 还需要对这些时钟进行精确同步。

大型数据转换器阵列的另一个重要使用场景是测试与测量系统, 这类系统要求以高采样速率捕获大量数据、引入的噪声尽可能低, 并要求同步处理。这些系统同样需要大量的同步时钟。类似地, 在高级医疗成像系统中, 数据处理吞吐速率非常高, 且要求并行数据采集路径能同步操作。

正如本文所指出的, IC公司正在推出创新和实用的解决方案, 以便实现这些高级设计。HMC7044和HMC7043等元件的设计考虑到了系统挑战, 它们旨在构建高性能和灵活的时钟树, 同时在多级时钟扩展中保持确定性相位精度。

作者简介

Altug Oz是ADI公司RF和微波部门(RFMG)的概念设计工程师。他拥有伊斯坦布尔技术大学电子与通信工程学士学位和卡内基梅隆大学计算机工程硕士学位。Altug在2003至2011年间任职于电路设计公司, 包括Hittite微波公司、Miromico和ESPROS Photonics Corporation, 为光学系统和频率合成器设计RF模拟电路。Altug于2011年重新回到Hittite微波公司(现在是ADI公司)设计时钟和时序产品, 包括频率生成和分配器件、频率合成器以及PLL。

Kazim Peker是ADI公司RF和微波部门(RFMG)的应用工程师。他于2007年获得学士学位, 于2010年获得硕士学位, 学校是土耳其比尔肯特大学, 专业是电气与电子工程。2007至2015年, Kazim在防务公司和科研机构工作, 包括比尔肯特大学空间技术研究中心和Meteksan Defense公司。他设计RF、微波收发器系统以及本振、频率合成器子系统。Kazim于2015年加入ADI, 开始致力于时钟和时序产品, 包括频率生成和分配器件、频率合成器以及PLL。

在线支持社区

访问ADI在线支持社区, 与ADI技术专家互动。提出您的棘手设计问题、浏览常见问题解答, 或参与讨论。



请访问 ezchina.analog.com

全球总部
One Technology Way
P.O. Box 9106, Norwood, MA
02062-9106 U.S.A.
Tel: (1 781) 329 4700
Fax: (1 781) 461 3113

大中华区总部
上海市浦东新区张江高科技园区
祖冲之路2290号展想广场5楼
邮编: 201203
电话: (86 21) 2320 8000
传真: (86 21) 2320 8222

深圳分公司
深圳市福田区
益田路与福华三路交汇处
深圳国际商会中心
4205-4210室
邮编: 518048
电话: (86 755) 8202 3200
传真: (86 755) 8202 3222

北京分公司
北京市海淀区西小口路66号
中关村东升科技园
B-6号楼A座一层
邮编: 100191
电话: (86 10) 5987 1000
传真: (86 10) 6298 3574

武汉分公司
湖北省武汉市东湖高新区
珞瑜路889号光谷国际广场
写字楼B座2403-2405室
邮编: 430073
电话: (86 27) 8715 9968
传真: (86 27) 8715 9931

©2016 Analog Devices, Inc. All rights reserved. Trademarks and registered trademarks are the property of their respective owners. Ahead of What's Possible is a trademark of Analog Devices. TA14476sc-0-6/16(A)

analog.com/cn

