

特性

集成模拟前端的24位ADC

每通道高达6.2 kSPS (每通道161 μs)

1 kSPS时每通道16个无噪声位

20 SPS时每通道的50 Hz和60 Hz抑制为85 dB

$\pm 10\text{ V}$ 输入, 4个差分或8个单端

高达 $\pm 20\text{ V}$ 的超量程

$\geq 1\text{ M}\Omega$ 阻抗

25°C时精度为 $\pm 0.06\%$

0 mA 至 20 mA 输入, 4个单端

高达 -0.5 mA 至 $+24\text{ mA}$ 的超量程

60 Ω 阻抗

25°C时精度为 $\pm 0.08\%$

片内2.5 V基准电压源

25°C时精度为 $\pm 0.12\%$, 漂移为 $\pm 5\text{ ppm}/^\circ\text{C}$ (典型值)

内部或外部时钟

电源

AVDD = 3.0 V至5.5 V

IOVDD = 2 V至5.5 V

总IDD = 3.9 mA

温度范围: -40°C 至 $+105^\circ\text{C}$

3线或4线串行数字接口 (SCLK上的施密特触发器)

SPI、QSPI、MICROWIRE和DSP兼容

应用

过程控制

PLC和DCS模块

概述

AD4112是一款低功耗、低噪声、24位 Σ - Δ 型模数转换器(ADC), 它集成了一个模拟前端(AFE), 支持全差分或单端高阻抗($\geq 1\text{ M}\Omega$)双极性 $\pm 10\text{ V}$ 电压输入和 0 mA 至 20 mA 电流输入。

AD4112还集成了关键的模拟和数字信号调理模块, 可为使用的每个模拟输入通道配置八种单独的设置。对于完全稳定的数据, AD4112的最大通道扫描速率为6.2 kSPS (161 μs)。

嵌入式2.5 V、低漂移(5 ppm/ $^\circ\text{C}$)带隙内部基准电压源(带输出基准电压缓冲器)可减少外部元件数量。

数字滤波器提供灵活的设置, 包括以27.27 SPS输出数据速率实现50 Hz和60 Hz同时抑制。用户可根据应用中每个通道的需求选择不同的滤波器设置。自动通道定序器使ADC能够在每个使能的通道之间进行切换。

AD4112的精密性能通过集成ADI公司专有的*iPassives*™技术而实现。AD4112出厂时已进行校准, 可实现指定的高精度。

AD4112采用单电源供电, 因而便于在电气隔离应用中使用。指定的工作温度范围为 -40°C 至 $+105^\circ\text{C}$ 。AD4112采用40引脚、6 mm \times 6 mm LFCSP封装。

目录

特性.....	1	校验和保护.....	38
应用.....	1	CRC计算.....	39
概述.....	1	集成功能.....	41
修订历史.....	3	通用输出.....	41
功能框图.....	4	延迟.....	41
技术规格.....	5	16位/24位转换.....	41
时序特性.....	8	DOUT_RESET.....	41
绝对最大额定值.....	10	同步.....	41
热阻.....	10	错误标志.....	42
ESD警告.....	10	DATA_STAT.....	42
引脚配置和功能描述.....	11	IOSTRENGTH.....	42
典型性能参数.....	13	内部温度传感器.....	42
噪声性能和分辨率.....	18	应用信息.....	43
工作原理.....	20	接地和布局布线.....	43
电源.....	21	寄存器汇总.....	44
数字通信.....	21	寄存器详解.....	46
AD4112复位.....	22	通信寄存器.....	46
配置概述.....	23	状态寄存器.....	47
电路说明.....	26	ADC模式寄存器.....	48
多路复用器.....	26	接口模式寄存器.....	49
电流输入.....	27	寄存器检查.....	50
电压输入.....	27	数据寄存器.....	50
AD4112基准电压源.....	27	GPIO配置寄存器.....	51
基准电压输入缓冲.....	29	ID寄存器.....	52
时钟源.....	29	通道寄存器0.....	52
数字滤波器.....	30	通道寄存器1至通道寄存器15.....	53
Sinc5 + Sinc1滤波器.....	30	设置配置寄存器0.....	54
Sinc3滤波器.....	30	设置配置寄存器1至设置配置寄存器7.....	54
单周期建立.....	31	滤波器配置寄存器0.....	55
增强型50 Hz和60 Hz抑制滤波器.....	31	滤波器配置寄存器1至滤波器配置寄存器7.....	56
工作模式.....	34	失调寄存器0.....	56
连续转换模式.....	34	失调寄存器1至失调寄存器7.....	56
连续读取模式.....	35	增益寄存器0.....	57
单次转换模式.....	36	增益寄存器1至增益寄存器7.....	57
待机和关断模式.....	37	外形尺寸.....	58
校准.....	37	订购指南.....	58
数字接口.....	38		

修订历史

2018年8月—修订版0：初始版

技术规格

除非另有说明，AVDD = 3.0 V至5.5 V，IOVDD = 2 V至5.5 V，AVSS = 0 V，DGND = 0 V，VBIAS- = 0 V，REF+ = 2.5 V，REF- = AVSS，内部主时钟 (MCLK) = 2 MHz， $T_A = T_{MIN}$ 至 T_{MAX} (-40°C至+105°C)。

表1.

参数	测试条件/注释	最小值	典型值	最大值	单位
电压输入					
差分输入电压范围 ¹	额定性能	-10		+10	V
	功能	$-V_{REF} \times 10$		$+V_{REF} \times 10$	V
绝对 (引脚) 输入电压	AVDD \geq 4.75 V	-20		+20	V
	AVDD = 3.0 V	-12		+12	V
输入阻抗		1			M Ω
失调误差 ²	25°C		± 1.5		mV
失调漂移			± 7		$\mu V/^{\circ}C$
增益误差	内部满量程校准 ³ (25°C)		± 0.05		% FS
增益漂移			± 1		ppm/ $^{\circ}C$
积分非线性 (INL)			± 0.01		% FSR
总非调整误差 (TUE) ⁴	25°C, 内部 V_{REF}			± 0.06	% FSR
	-40°C至+105°C, 内部 V_{REF}			± 0.1	% FSR
	25°C, 外部 V_{REF}			± 0.06	% FSR
	-40°C至+105°C, 外部 V_{REF}			± 0.08	% FSR
电源抑制	$V_{IN} = 1$ V时的AVDD		70		dB
共模抑制	$V_{IN} = 1$ V				
DC时			85		dB
50 Hz、60 Hz时	20 Hz输出数据速率 (后置滤波器), 50 Hz \pm 1 Hz和60 Hz \pm 1 Hz		120		dB
常模抑制 ⁴	50 Hz \pm 1 Hz和60 Hz \pm 1 Hz				
	内部时钟, 20 SPS ODR (后置滤波器)	71	90		dB
	外部时钟, 20 SPS ODR (后置滤波器)	85	90		dB
分辨率	参见表6和表8				
噪声	参见表6和表8				
电流输入					
输入电流范围		-0.5		+24	mA
绝对 (引脚) 输入电压		AVSS -0.05		AVDD +0.05 ⁵	V
输入阻抗 ⁶		54	60	75	Ω
失调误差 ²			± 2		μA
失调漂移			± 3		nA/ $^{\circ}C$
增益误差	出厂校准增益, 25°C		± 0.02		% FS
增益漂移			± 10		ppm/ $^{\circ}C$
INL			± 0.01		% FSR
TUE ⁴	25°C, 内部 V_{REF}			± 0.08	% FSR
	-40°C至+105°C, 内部 V_{REF}			± 0.2	% FSR
	25°C, 外部 V_{REF}			± 0.08	% FSR
	-40°C至+105°C, 外部 V_{REF}			± 0.2	% FSR
电源抑制	$I_{IN} = 10$ mA时的AVDD		0.5		$\mu A/V$
常模抑制 ⁴	50 Hz \pm 1 Hz和60 Hz \pm 1 Hz				
	内部时钟, 20 SPS ODR (后置滤波器)	71	90		dB
	外部时钟, 20 SPS ODR (后置滤波器)	85	90		dB
分辨率	参见表7和表9				
噪声	参见表7和表9				
ADC速度和性能					
ADC输出数据速率 (ODR)	一个通道, 参见表6	1.25		31,250	SPS
无失码 ⁴	不包括sinc3滤波器 \geq 15 kHz 陷波频率	24			位

AD4112

参数	测试条件/注释	最小值	典型值	最大值	单位
内部基准电压源	100 nF外部电容退耦至AVSS				
输出电压	REFOUT相对于AVSS		2.5		V
初始精度 ^{4,7}	REFOUT, T _A = 25°C	-0.12		+0.12	V的百分比
温度系数			±5	+12	ppm/°C
基准负载电流, I _{LOAD}		-10		+10	mA
电源抑制	AVDD (电源电压调整率)		95		dB
负载调整率	$\Delta V_{OUT}/\Delta I_{LOAD}$		32		ppm/mA
电压噪声	e _N , 0.1 Hz至10 Hz, 2.5 V基准电压源		4.5		μV rms
电压噪声密度	e _N , 1 kHz, 2.5 V基准电压源		215		nV/√Hz
开启建立时间	100 nF REFOUT电容		200		μs
短路电流, I _{SC}			25		mA
外部基准输入					
差分输入范围	V _{REF} = (REF+) - (REF-)	1	2.5	AVDD	V
绝对电压限值					
禁用缓冲器		AVSS - 0.05		AVDD + 0.05	V
使能缓冲器		AVSS		AVDD	V
REF±输入电流					
禁用缓冲器					
输入电流			±9		μA/V
输入电流漂移	外部时钟		±0.75		nA/V/°C
	内部时钟		±2		nA/V/°C
使能缓冲器					
输入电流			±100		nA
输入电流漂移			0.25		nA/°C
常模抑制	参见抑制参数部分				
共模抑制			95		dB
温度传感器					
精度	25°C时用户校准后应用		±2		°C
灵敏度			477		μV/K
通用输出 (GPO0, GPO1)	相对于AVSS				
浮空态输出电容			5		pF
输出电压 ⁴					
高电平, V _{OH}	拉电流 (I _{SOURCE}) = 200 μA	AVDD - 1			V
低电平, V _{OL}	灌电流 (I _{SINK}) = 800 μA			AVSS + 0.4	V
时钟					
内部时钟					
频率			2		MHz
精度		-2.5%		+2.5%	%
占空比			50		%
输出电压					
低电平, V _{OL}				0.4	V
高电平, V _{OH}		0.8 × IOVDD			V
晶振					
频率		14	16	16.384	MHz
启动时间			10		μs
外部时钟(CLKIO)			2	2.048	MHz
占空比		30	50	70	%

参数	测试条件/注释	最小值	典型值	最大值	单位
逻辑输入					
输入电压 ⁴					
高电平, V_{INH}	$2\text{ V} \leq \text{IOVDD} < 2.3\text{ V}$	$0.65 \times \text{IOVDD}$			V
低电平, V_{INL}	$2.3\text{ V} \leq \text{IOVDD} \leq 5.5\text{ V}$ $2\text{ V} \leq \text{IOVDD} < 2.3\text{ V}$ $2.3\text{ V} \leq \text{IOVDD} \leq 5.5\text{ V}$	$0.7 \times \text{IOVDD}$		$0.35 \times \text{IOVDD}$	V V V
迟滞	$\text{IOVDD} \geq 2.7\text{ V}$ $\text{IOVDD} < 2.7\text{ V}$	0.08 0.04		0.25 0.2	V V
漏电流		-10		+10	μA
逻辑输出 (DOUT/RDY)					
输出电压 ⁴					
高电平, V_{OH}	$\text{IOVDD} \geq 4.5\text{ V}, I_{\text{SOURCE}} = 1\text{ mA}$ $2.7\text{ V} \leq \text{IOVDD} < 4.5\text{ V}, I_{\text{SOURCE}} = 500\text{ }\mu\text{A}$ $\text{IOVDD} < 2.7\text{ V}, I_{\text{SOURCE}} = 200\text{ }\mu\text{A}$	$0.8 \times \text{IOVDD}$ $0.8 \times \text{IOVDD}$ $0.8 \times \text{IOVDD}$			V V V
低电平, V_{OL}	$\text{IOVDD} \geq 4.5\text{ V}, I_{\text{SINK}} = 2\text{ mA}$ $2.7\text{ V} \leq \text{IOVDD} < 4.5\text{ V}, I_{\text{SINK}} = 1\text{ mA}$ $\text{IOVDD} < 2.7\text{ V}, I_{\text{SINK}} = 400\text{ }\mu\text{A}$			0.4 0.4 0.4	V V V
漏电流 ⁴	浮空态	-10		+10	μA
输出电容	浮空态		10		pF
电源要求					
电源电压					
AVDD至AVSS		3.0		5.5	V
AVSS至DGND		-2.75		0	V
IOVDD至DGND		2		5.5	V
IOVDD至AVSS	$\text{AVSS} < \text{DGND}$			6.35	V
电源电流 ⁸	所有输出空载, 数字输入连接到IOVDD或DGND				
完全工作模式					
AVDD电流	包括内部基准电压源		3.3	3.7	mA
IOVDD电流	内部时钟		0.6	0.8	mA
待机模式	所有 $V_{IN} = 0\text{ V}$		120		μA
关断模式	所有 $V_{IN} = 0\text{ V}$		90		μA
功耗					
完全工作模式			19.5		mW
待机模式			600		μW
关断模式			450		μW

¹ 差分输入信号为 $\pm 10\text{ V}$ 时可保证完整技术规格。器件可在差分输入信号高达 $\pm V_{\text{REF}} \times 10$ 的条件下工作。但是为保证正常工作, 不得超过指定的绝对(引脚)电压。

² 经系统零电平校准, 此失调误差与选定的编程输出数据速率所对应的噪声相当。

³ 通过执行内部满量程校准来覆盖增益校准寄存器。或者, 系统满量程校准可以把增益误差降至与已校准通道的编程输出数据速率对应的噪声水平。

⁴ 技术规格未经生产测试, 但受产品初始发布时的特性数据支持。

⁵ 只有当IINx-出现偏置时才能实现这个最大技术规格, 因此通过电阻的电流小于24 mA。IINx-连接到0 V时无法实现最大技术规格。

⁶ 本技术规格显示电流输入引脚之间的阻抗。测量通过50 Ω 检测电阻的电流。

⁷ 本技术规格包括湿度灵敏度等级(MSL)预调理效应。

⁸ 本技术规格是在REFOUT引脚和数字输出引脚上无负载的条件下测得。

时序特性

除非另有说明，IOVDD = 2 V至5.5 V，DGND = 0 V，输入逻辑0 = 0 V，输入逻辑1 = IOVDD，电容负载(C_{LOAD}) = 20 pF。

表2.

参数	T_{MIN} 、 T_{MAX} 时的限值	单位	说明 ^{1,2}
SCLK			
t^3	25	ns (最小值)	SCLK高电平脉宽
t^4	25	ns (最小值)	SCLK低电平脉宽
读操作			
t_1	0	ns (最小值)	\overline{CS} 下降沿到 $\overline{DOUT/RDY}$ 有效时间
	15	ns (最大值)	IOVDD = 4.75 V至5.5 V
	40	ns (最大值)	IOVDD = 2 V至3.6 V
t_2^3	0	ns (最小值)	SCLK有效沿到数据有效延迟 ⁴
	12.5	ns (最大值)	IOVDD = 4.75 V至5.5 V
	25	ns (最大值)	IOVDD = 2 V至3.6 V
t_5^5	2.5	ns (最小值)	\overline{CS} 无效沿后的总线释放时间
	20	ns (最大值)	
t_6	0	ns (最小值)	SCLK无效沿到 \overline{CS} 无效沿
t_7	10	ns (最小值)	SCLK无效沿到 $\overline{DOUT/RDY}$ 高电平/低电平
写操作			
t_8	0	ns (最小值)	\overline{CS} 下降沿到SCLK有效沿建立时间 ⁴
t_9	8	ns (最小值)	数据有效到SCLK沿建立时间
t_{10}	8	ns (最小值)	数据有效到SCLK沿保持时间
t_{11}	5	ns (最小值)	\overline{CS} 上升沿到SCLK沿保持时间

¹ 样片在初次发布期间均经过测试，以确保符合标准要求。

² 参见图2和图3。

³ 此参数定义为输出跨越 V_{OL} 或 V_{OH} 限值所需的时间。

⁴ SCLK有效沿为SCLK的下降沿。

⁵ RDY读取数据寄存器之后，DOUT/返回高电平。在单次转换模式和连续转换模式下，当 $\overline{DOUT/RDY}$ 为高电平时，如有必要，可以再次读取同一数据。不过，必须注意确保后续读取操作不能接近下一次输出更新时间。如果使能连续读取功能，数字字只能被读取一次。

时序图

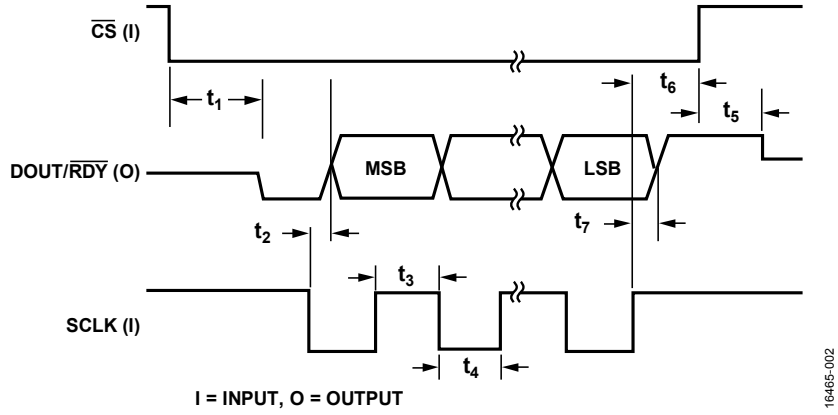


图2. 读取周期时序图

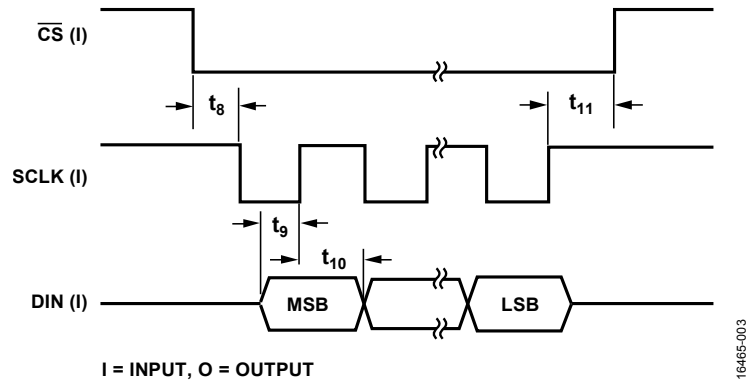


图3. 写入周期时序图

绝对最大额定值

除非另有说明， $T_A = 25^\circ\text{C}$ 。

表3.

参数	额定值
AVDD至AVSS	-0.3 V至+6.5 V
AVDD至DGND	-0.3 V至+6.5 V
IOVDD至DGND	-0.3 V至+6.5 V
IOVDD至AVSS	-0.3 V至+7.5 V
AVSS至DGND	-3.25 V至+0.3 V
VINx至AVSS	-50 V至+50 V
IINx+至AVSS	-0.3 V至AVDD + 0.3 V
IINx-至AVSS	-0.3 V至AVDD + 0.3 V
当前输入电流 ¹	-50 mA至+50 mA
基准输入电压至AVSS	-0.3 V至AVDD + 0.3 V
数字输入电压至DGND	-0.3 V至IOVDD + 0.3 V
数字输出电压至DGND	-0.3 V至IOVDD + 0.3 V
数字输入电流	10 mA
工作温度范围	-40°C至+105°C
存储温度范围	-65°C至+150°C
最高结温	150°C
引脚焊接，回流温度	260°C

¹ 当前输入电流、当前输入电压和IINx-电压的绝对最大值必须在指定限值内。

注意，等于或超出上述绝对最大额定值可能会导致产品永久性损坏。这只是额定值，不表示在这些条件下或者在任何其它超出本技术规范操作章节中所示规格的条件下，器件能够正常工作。长期在超出最大额定值条件下工作会影响产品的可靠性。

热阻

热性能与印刷电路板(PCB)设计和工作环境直接相关。必须慎重对待 PCB 散热设计。

θ_{JA} 指定器件焊接在 JEDEC 测试板上以实现表贴封装。

表4. 热阻

封装类型	θ_{JA}	单位
CP-40-15 ¹		
4层JEDEC板	34	°C/W

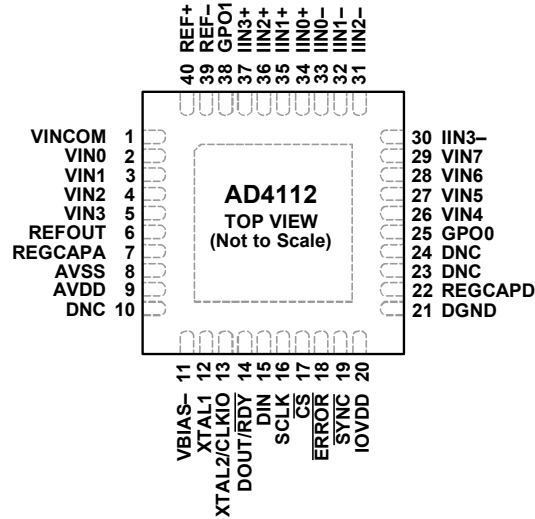
¹ 热阻仿真值基于JEDEC 2S2P带16个热穿孔的热测试板。参见JEDEC JESD51。

ESD警告



ESD（静电放电）敏感器件。带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量 ESD 时，器件可能会损坏。因此，应当采取适当的 ESD 防范措施，以避免器件性能下降或功能丧失。

引脚配置和功能描述



NOTES

1. DNC = DO NOT CONNECT. DO NOT CONNECT ANYTHING TO THIS PIN. PIN 24 IS INTERNALLY CONNECTED TO AVSS.
2. SOLDER THE EXPOSED PAD TO A SIMILAR PAD ON THE PCB UNDER THE EXPOSED PAD TO CONFER MECHANICAL STRENGTH AND FOR HEAT DISSIPATION. THE EXPOSED PAD MUST BE CONNECTED TO AVSS THROUGH THIS PAD ON THE PCB.

16465-004

图4. 引脚配置

表5. 引脚功能描述

引脚编号	引脚名称 ¹	类型 ²	说明
1	VINCOM	AI	电压输入公共端。当电压输入配置为单端输入时，以该引脚为基准。将该引脚连接至模拟地。
2	VIN0	AI	电压输入0。在单端配置下以VINCOM为基准的输入，或者在差分配置下VIN1输入对的正输入。
3	VIN1	AI	电压输入1。在单端配置下以VINCOM为基准的输入，或者在差分配置下VIN0输入对的负输入。
4	VIN2	AI	电压输入2。在单端配置下以VINCOM为基准的输入，或者在差分配置下VIN3输入对的正输入。
5	VIN3	AI	电压输入3。在单端配置下以VINCOM为基准的输入，或者在差分配置下VIN2输入对的负输入。
6	REFOUT	AO	内部基准电压源的缓冲输出。输出相对于AVSS为2.5 V。利用0.1 μF电容将此引脚去耦至AVSS。
7	REGCAPA	AO	模拟低压差(LDO)稳压器的输出。利用1 μF电容和0.1 μF电容将此引脚去耦至AVSS。
8	AVSS	P	负模拟电源。此电源的范围是-2.75 V到0 V，标称设置为0 V。
9	AVDD	P	模拟电源电压。此电压相对于AVSS的范围是3.0 V至5.5 V。
10	DNC	N/A	不连接。请勿将任何元件连接至该引脚。
11	VBIAS-	AI	负偏置电压。该引脚为电压输入模拟前端设置偏置电压。将该引脚连接至AVSS。
12	XTAL1	AI	晶振输入1。
13	XTAL2/CLKIO	AI/DI	晶振输入2/时钟输入或输出。有关更多信息，请参阅ADCMODE寄存器中的CLOCKSEL位设置。
14	DOUT/RDY	DO	串行数据输出/数据就绪输出引脚。此引脚具有双重功能。它可以用作串行数据输出引脚，以访问ADC的输出移位寄存器。输出移位寄存器可以含有来自任一片内数据寄存器或控制寄存器的数据。数据字/控制字信息在SCLK下降沿置于DOUT/RDY引脚上，且在SCLK上升沿有效。当CS为高电平时，DOUT/RDY输出为三态。当CS为低电平且没有读取寄存器时，DOUT/RDY用作数据就绪引脚，变为低电平时表示转换已完成。转换完成后，如果数据未被读取，该引脚将在下一次更新之前变为高电平。DOUT/RDY下降沿可以用作处理器的中断，表示存在有效数据。
15	DIN	DI	ADC输入移位寄存器的串行数据输入。该移位寄存器中的数据传至ADC内的控制寄存器，通信寄存器的寄存器地址(RA)位确定适当的寄存器。数据在SCLK的上升沿逐个输入。

引脚编号	引脚名称 ¹	类型 ²	说明
16	SCLK	DI	串行时钟输入。用于与ADC进行数据传输。SCLK具有施密特触发输入。
17	\overline{CS}	DI	片选输入引脚。此引脚是一个低电平有效逻辑输入，用于选择ADC。使用 \overline{CS} 在串行总线上具有多个器件的系统中选择ADC。 \overline{CS} 可以用硬连线方式置为低电平，使得ADC能以3线式模式工作，使用SCLK、DIN和DOUT/ \overline{RDY} 与器件接口。当 \overline{CS} 为高电平时，DOUT/ \overline{RDY} 输出为三态。
18	\overline{ERROR}	DI/O	错误输入/输出或通用输出。此引脚可以用于下列三种模式之一：低电平有效错误输入模式。此模式将状态寄存器的ADC_ERROR位设为1。 低电平有效、开漏错误输出模式。状态寄存器的错误位映射到 \overline{ERROR} 引脚。多个器件的 \overline{ERROR} 引脚可以连接到同一个上拉电阻，这样就可以观察到任何器件的错误。 通用输出模式。此引脚的状态由GPIOCON寄存器的ERR_DAT位控制。此引脚以IOVDD与DGND之间的电平为基准。
19	\overline{SYNC}	DI	同步输入。在使用多个AD4112器件时，允许对数字滤波器和模拟调制器进行同步。
20	IOVDD	P	数字I/O电源电压。IOVDD电压范围是2V至5.5V（标称值）。IOVDD与AVDD无关。例如，当AVDD为5V时，IOVDD可采用3.3V工作，反之亦然。如果AVSS设置为-2.5V，则IOVDD上的电压不得超过3.6V。
21	DGND	P	数字地。
22	REGCAPD	AO	数字LDO稳压器输出。此引脚仅用于去耦。利用1 μ F电容将此引脚去耦至DGND。
23	DNC	N/A	不连接。请勿将任何元件连接至该引脚。
24	DNC	N/A	不连接。请勿将任何元件连接至该引脚。该引脚必须从内部连接到AVSS。
25	GPO0	DO	通用输出。该引脚上的逻辑输出以AVDD和AVSS电源为基准。
26	VIN4	AI	电压输入4。在单端配置下以VINCOM为基准的输入，或者在差分配置下VIN5输入对的正输入。
27	VIN5	AI	电压输入5。在单端配置下以VINCOM为基准的输入，或者在差分配置下VIN4输入对的负输入。
28	VIN6	AI	电压输入6。在单端配置下以VINCOM为基准的输入，或者在差分配置下VIN7输入对的正输入。
29	VIN7	AI	电压输入7。在单端配置下以VINCOM为基准的输入，或者在差分配置下VIN6输入对的负输入。
30	IIN3-	AI	电流输入返回3。将该引脚连接至模拟地。
31	IIN2-	AI	电流输入返回2。将该引脚连接至模拟地。
32	IIN1-	AI	电流输入返回1。将该引脚连接至模拟地。
33	IIN0-	AI	电流输入返回0。将该引脚连接至模拟地。
34	IIN0+	AI	电流输入0。
35	IIN1+	AI	电流输入1。
36	IIN2+	AI	电流输入2。
37	IIN3+	AI	电流输入3。
38	GPO1	DO	通用输出。该引脚上的逻辑输出以AVDD和AVSS电源为基准。
39	REF-	AI	基准输入负端。REF-范围为AVSS至AVDD - 1V。可以通过设置配置寄存器中的REF_SELx位选择基准电压源。
40	REF+	AI	基准输入正端。REF+与REF-之间可以施加一个外部基准电压。REF+范围为AVDD至AVSS + 1V。可以通过设置配置寄存器中的REF_SELx位选择基准电压源。
	EP	P	裸露焊盘。将裸露焊盘焊接到PCB上位于裸露焊盘下方的一块相似的焊盘上，以便为封装提供机械强度，同时也有利于散热。exposed pad必须通过PCB上的这块焊盘连接至AVSS。

¹ 注意在整篇数据手册中，双功能引脚名称仅通过相关功能来引用。

² AI表示模拟输入，AO表示模拟输出，P表示电源，N/A表示不适用，DI表示数字输入，DO表示数字输出，DI/O表示双向数字输入/输出。

典型性能参数

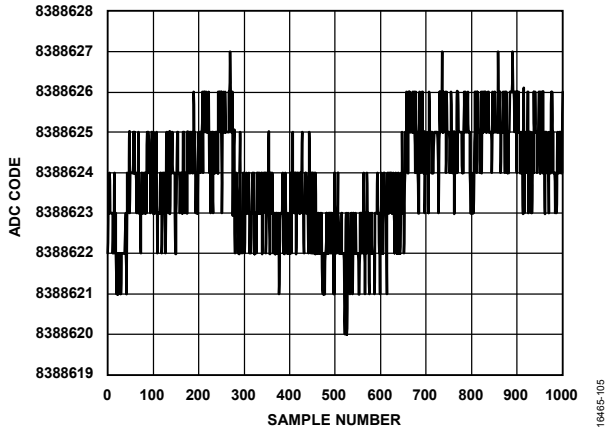


图5. 噪声 (电压输入, 输出数据速率 = 1.25 SPS)

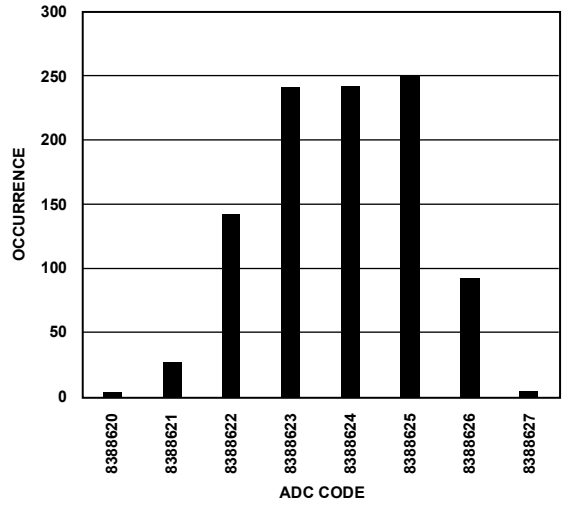


图8. 直方图 (电压输入, 输出数据速率 = 1.25 SPS)

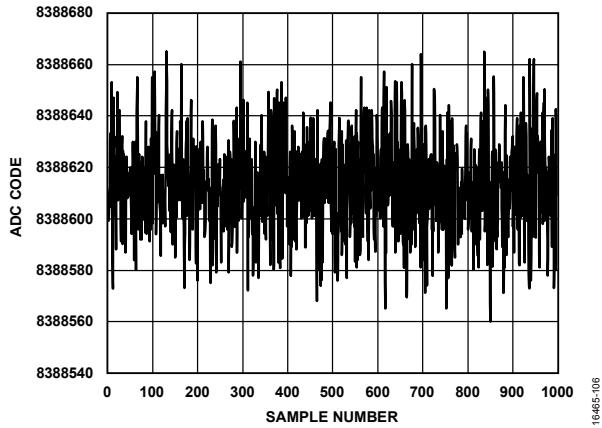


图6. 噪声 (电压输入, 输出数据速率 = 2.5 kSPS)

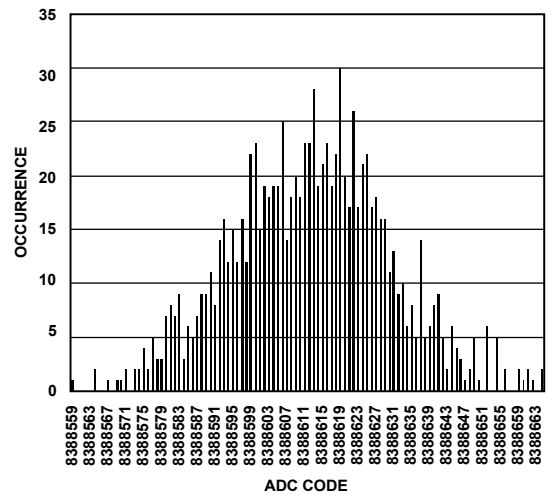


图9. 直方图 (电压输入, 输出数据速率 = 2.5 kSPS)

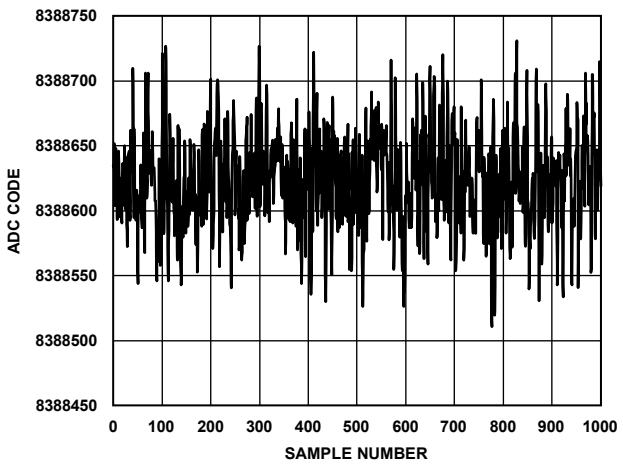


图7. 噪声 (电压输入, 输出数据速率 = 31.25 kSPS)

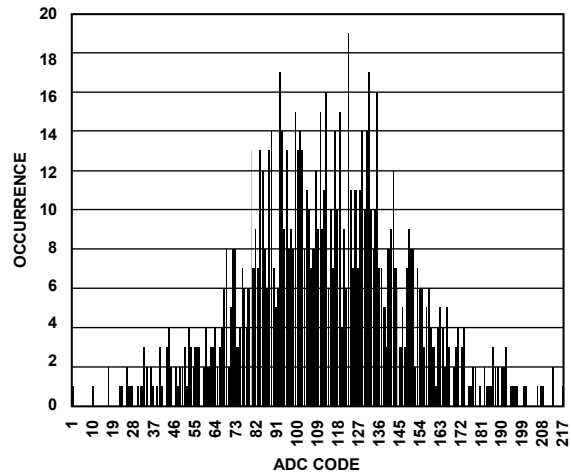


图10. 直方图 (电压输入, 输出数据速率 = 31.25 kSPS)

AD4112

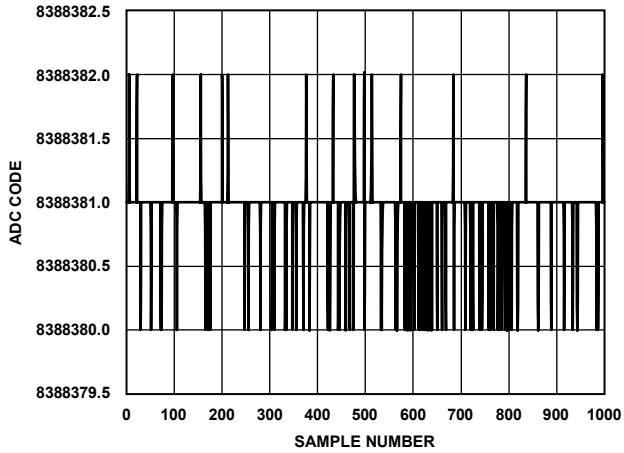


图11. 噪声 (电流输入, 输出数据速率 = 1.25 SPS)

16465-111

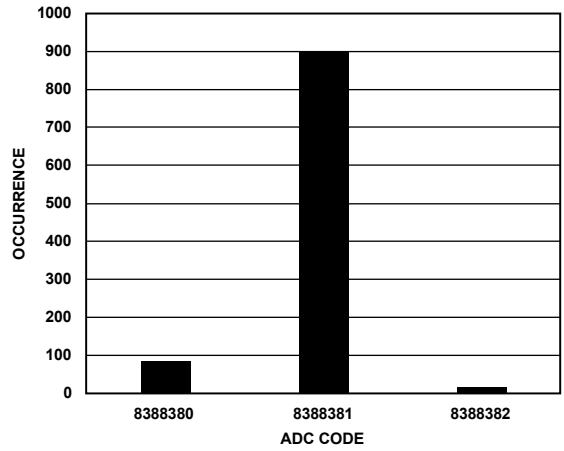


图14. 直方图 (电流输入, 输出数据速率 = 1.25 SPS)

16465-114

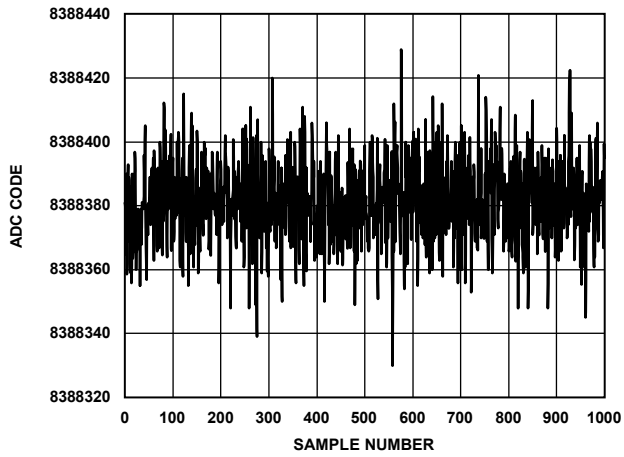


图12. 噪声 (电流输入, 输出数据速率 = 2.5 kSPS)

16465-112

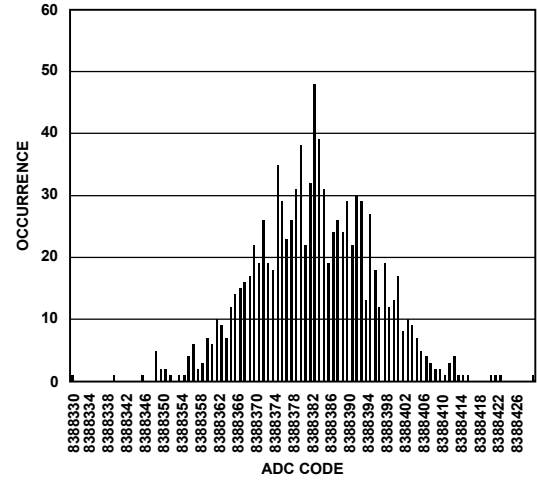


图15. 直方图 (电流输入, 输出数据速率 = 31.25 SPS)

16465-115

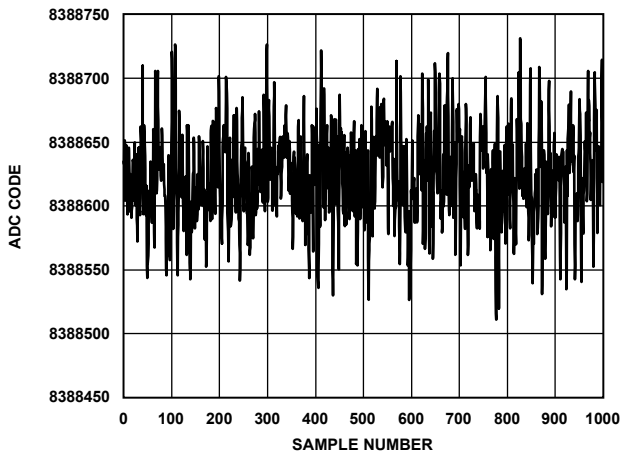


图13. 噪声 (电流输入, 输出数据速率 = 31.25 kSPS)

16465-113

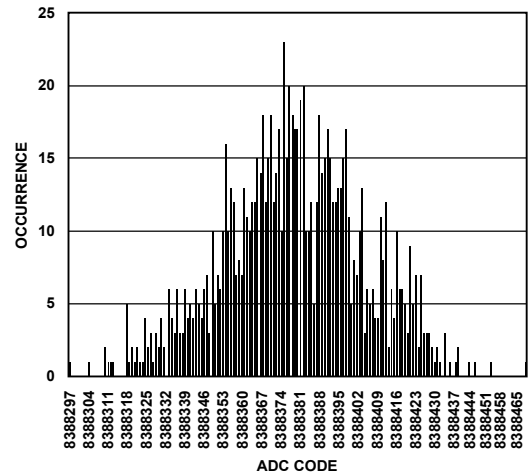


图16. 直方图 (电流输入, 输出数据速率 = 31.25 kSPS)

16465-116

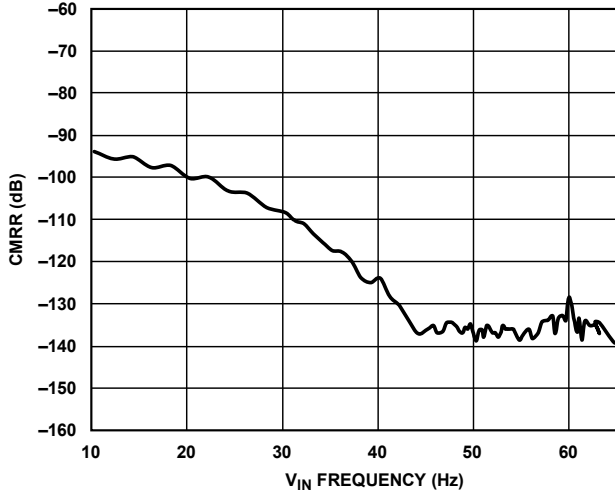


图17. 共模抑制比(CMRR)与 V_{IN} 频率的关系
($V_{IN} = 0.1 V$, 10 Hz至70 Hz, 输出)

16465-117

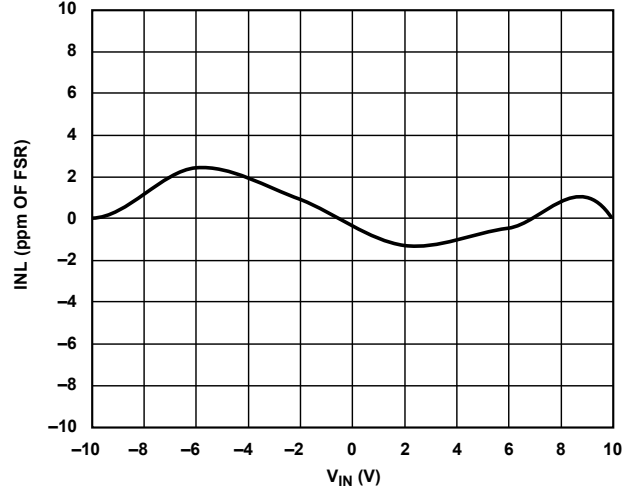


图20. 积分非线性 (INL) 与输入范围 (电压输入) 的关系

16465-120

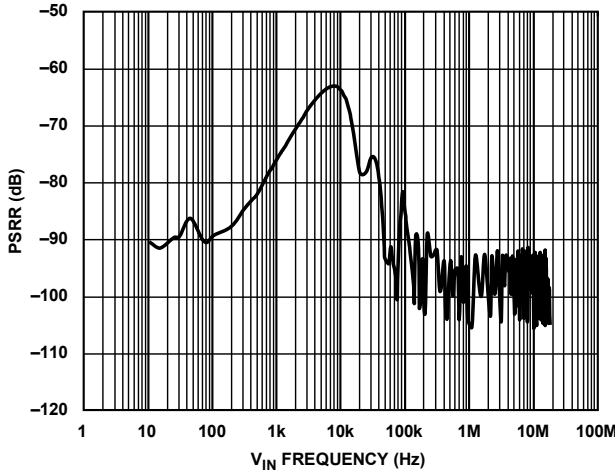


图18. 电源电压抑制比(PSRR)与 V_{IN} 频率的关系

16465-118

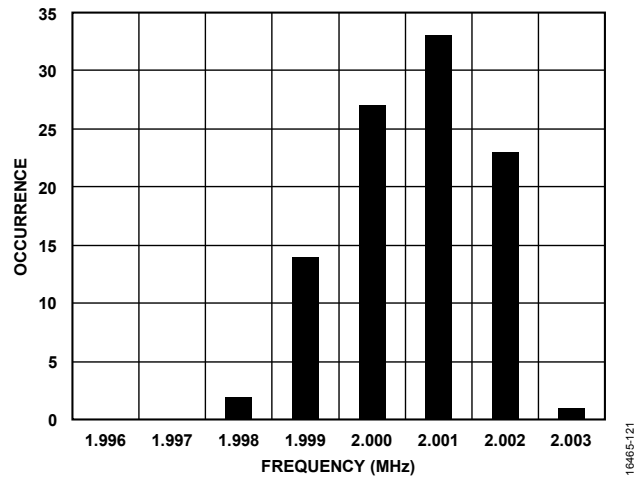


图21. 内部振荡器频率/精度分布直方图

16465-121

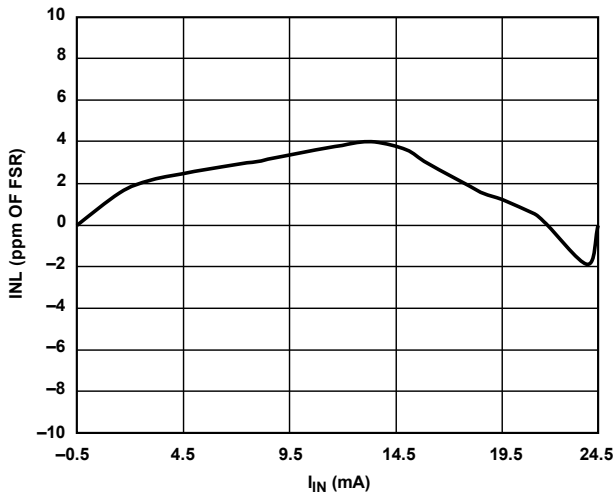


图19. 积分非线性(INL)与输入 (电流输入) 的关系

16465-119

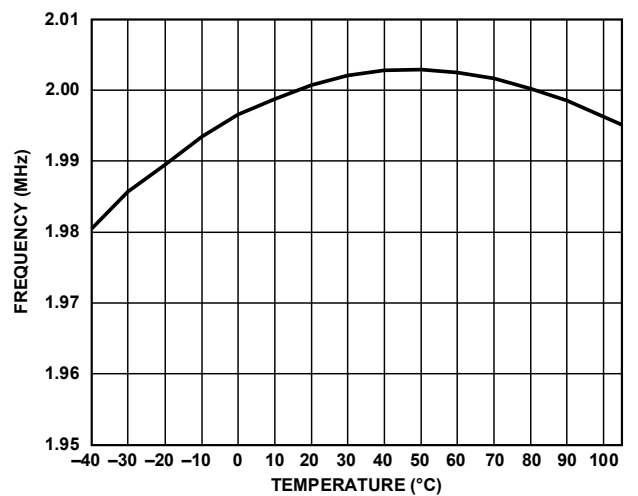


图22. 内部振荡器频率与温度的关系

16465-122

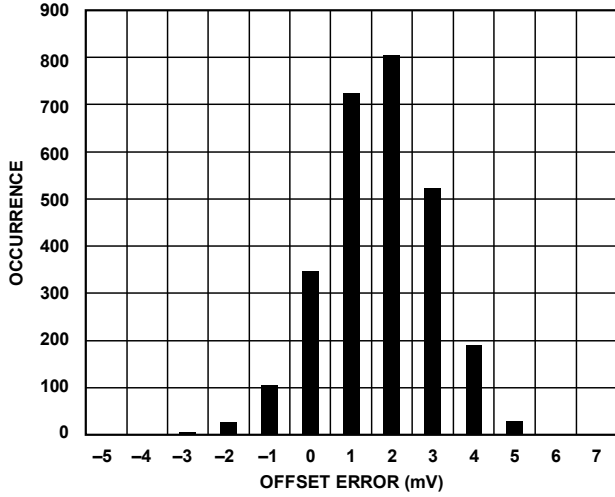


图23. 失调误差分布直方图 (电压输入)

16465-123

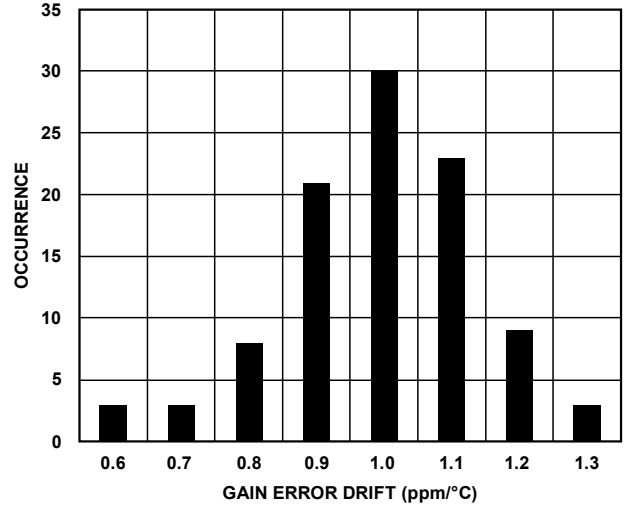


图26. 增益误差漂移分布直方图 (电压输入)

16465-126

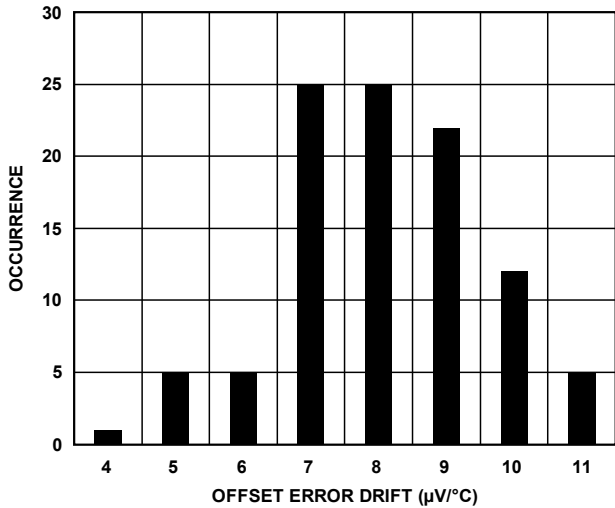


图24. 失调误差漂移分布直方图 (电压输入)

16465-124

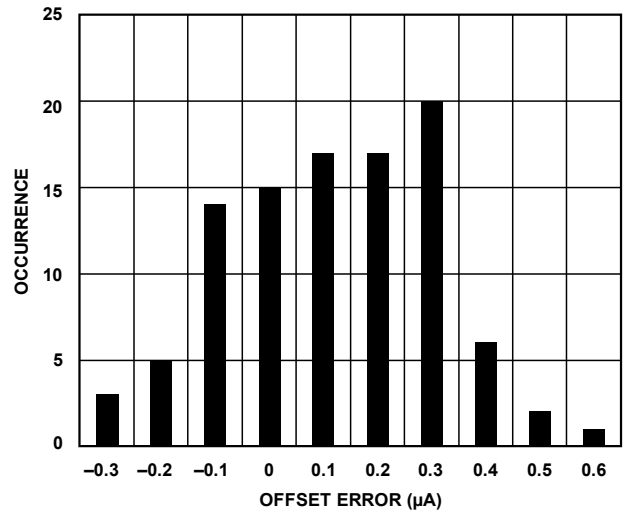


图27. 失调误差分布直方图 (电流输入)

16465-127

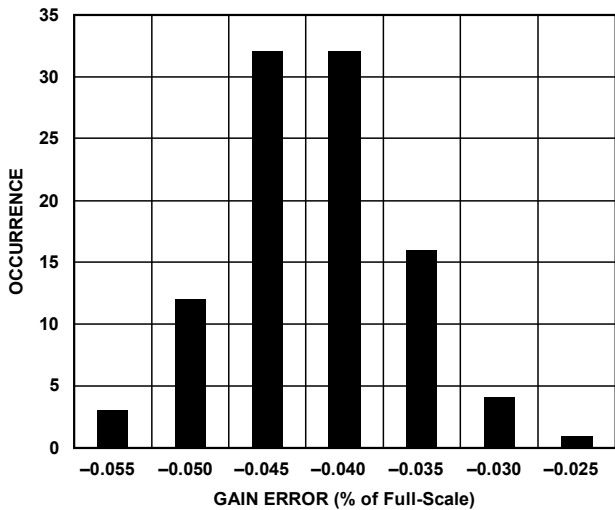


图25. 增益误差分布直方图 (电压输入)

16465-125

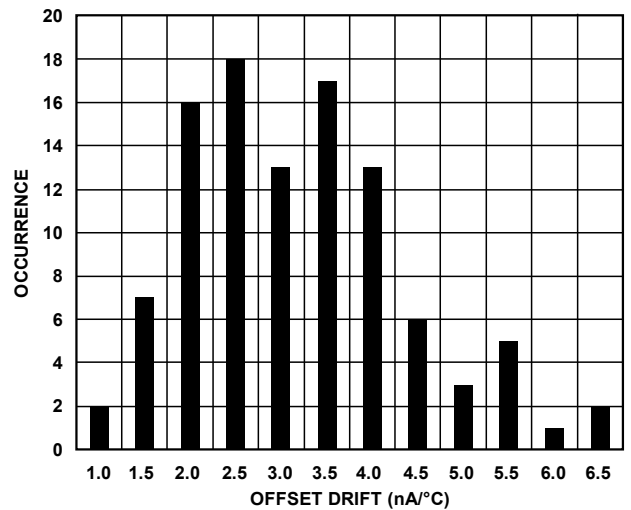


图28. 失调误差漂移分布直方图 (电流输入)

16465-128

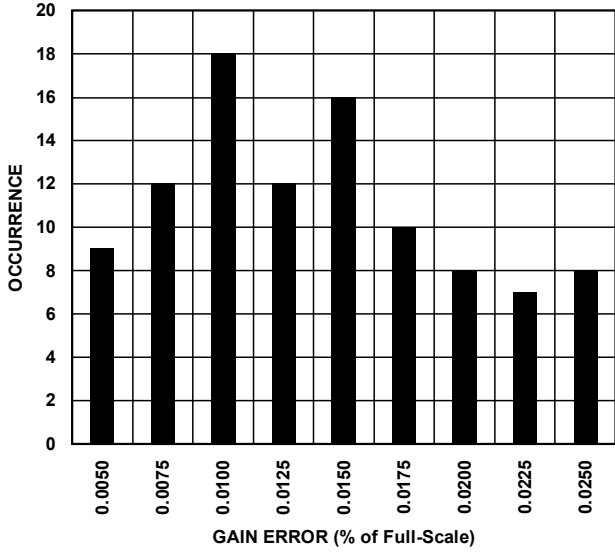


图29. 增益误差分布直方图 (电流输入)

16485-129

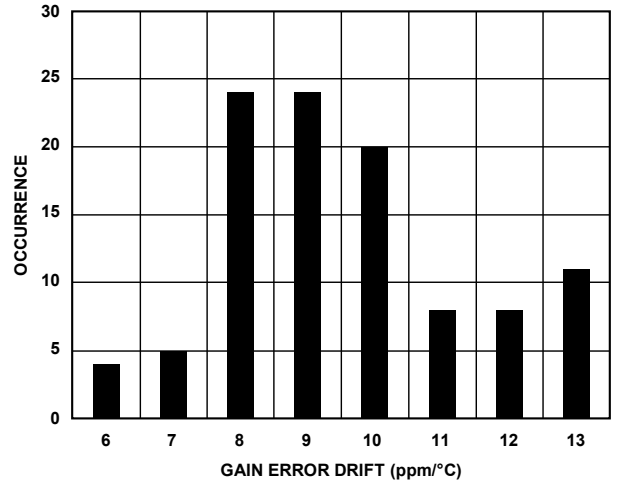


图30. 增益误差漂移分布直方图 (电流输入)

16485-130

噪声性能和分辨率

表6至表9显示了AD4112在各种ODR下的有效值噪声、峰峰值噪声、有效分辨率和无噪声（峰峰值）分辨率。这些值是典型值，通过外部2.5 V基准电压源测得，并且ADC可在多个通道上持续转换。表6和表8中的值针对±10 V电压输入范

围生成，差分输入电压为0 V。表7和表9中的值针对0 mA至20 mA输入范围生成，输入电流为0 mA。务必注意，峰峰值分辨率是基于峰峰值噪声计算得出的。峰峰值分辨率表示无代码闪烁的分辨率。

表6. 使用Sinc5 + Sinc1滤波器时±10 V电压输入有效值噪声分辨率与ODR的关系

默认输出数据速率 (SPS); SING_CYC = 0且单通道使能	输出数据速率 (每通道 SPS); SING_CYC = 1或多 个通道使能	建立时间 ¹	陷波频率 (Hz)	噪声 ($\mu\text{V rms}$) ²	有效分辨率 (位)	噪声 ($\mu\text{V p-p}$)	峰峰值分辨率 (位)
31,250	6211	161 μs	31,250	106	17.5	750	14.7
15,625	5181	193 μs	15,625	94	17.7	580	15.1
10,417	4444	225 μs	10,417	82	17.9	512	15.3
5208	3115	321 μs	5208	62	18.3	372	15.7
2597	2597	385 μs	3906	47	18.7	312	16.0
1007	1007	993 μs	1157	27	19.5	190	16.7
504	504	1.99 ms	539	21	19.9	140	17.1
381	381	2.63 ms	401	17	20.2	92	17.7
200.3	200.3	4.99 ms	206	13	20.6	62	18.3
100.2	100.2	9.99 ms	102	8	21.3	45	18.8
59.52	59.52	16.8 ms	59.98	7	21.4	33	19.2
49.68	49.68	20.13 ms	50	7	21.4	33	19.2
20	20.01	49.98 ms	20	4	22.3	22	19.8
16.67	16.63	60.13 ms	16.67	4	22.3	21	19.9
10	10	100 ms	10	3.7	22.4	18	20.1
5	5	200 ms	5	3.4	22.5	17	20.2
2.5	2.5	400 ms	2.5	2.4	23	12	20.7
1.25	1.25	800 ms	1.25	2.3	23.1	11	20.8

¹ 建立时间舍入到最接近的毫秒，反映在输出数据速率和通道开关速率中。通道开关速率 = $1 \div$ 建立时间。

² 基于每通道数据速率 ≥ 381 SPS的1000个样本，基于每通道数据速率 ≤ 200.3 SPS的100个样本。

表7. 使用Sinc5 + Sinc1滤波器时0 mA至20 mA电流输入噪声和分辨率与输出数据速率的关系

默认输出数据速率 (SPS); SING_CYC = 0且单通道使能	输出数据速率 (每通道 SPS); SING_CYC = 1或 多个通道使能	建立时间 ¹	陷波频率 (Hz)	噪声 (nA rms) ²	有效分辨率 (位)	噪声 (nA p-p)	峰峰值分辨率 (位)
31,250	6211	161 μs	31,250	155	17.0	1100	14.2
15,625	5181	193 μs	15,625	136	17.2	920	14.4
10,417	4444	225 μs	10,417	113	17.4	720	14.8
5208	3115	321 μs	5208	84	17.9	580	15.1
2597	2597	385 μs	3906	75	18.0	480	15.3
1007	1007	993 μs	1157	43	18.8	220	16.5
504	503.8	1.99 ms	539	29	19.4	150	17.0
381	381	2.63 ms	401	21	19.9	125	17.3
200.3	200.3	4.99 ms	206	18	20.1	95	17.7
100.2	100.2	9.99 ms	102	13	20.6	71	18.1
59.52	59.52	16.8 ms	59.98	10	20.9	48	18.7
49.68	49.68	20.13 ms	50	9	21.1	41	18.9
20	20.01	49.98 ms	20	6	21.7	30	19.3
16.67	16.63	60.13 ms	16.67	5.3	21.8	23	19.7
10	10	100 ms	10	4.6	22.1	18	20.1
5	5	200 ms	5	3	22.7	12	20.7
2.5	2.5	400 ms	2.5	2.8	22.8	12	20.7
1.25	1.25	800 ms	1.25	2.7	22.8	6	21.7

¹ 建立时间舍入到最接近的毫秒，反映在输出数据速率和通道开关速率中。通道开关速率 = $1 \div$ 建立时间。

² 基于每通道数据速率 ≥ 381 SPS的1000个样本，基于每通道数据速率 ≤ 200.3 SPS的100个样本。

表8. 使用Sinc3滤波器时±10 V电压输入有效值噪声分辨率与ODR的关系

默认输出数据速率 (SPS); SING_CYC = 0且单通道使能	输出数据速率 (每通道 SPS); SING_CYC = 1或 多个通道使能	建立时间 ¹	陷波频率 (Hz)	噪声 ($\mu\text{V rms}$) ²	有效分辨率 (位)	噪声 ($\mu\text{V p-p}$)	峰峰值分辨率 (位)
31,250	6211	96 μs	31,250	1035	14.2	6037	11.7
15,625	5181	192 μs	15,625	158	16.9	954	14.4
10,417	4444	288 μs	10,417	77	18	536	15.2
5208	3115	576 μs	5208	50	18.6	334	15.9
3906	2597	1.15 ms	3906	34	19.2	205	16.6
1157	1007	2.98 ms	1157	22	19.8	137	17.2
539	504	5.95 ms	539	15	20.3	15	17.5
401	381	7.49 ms	401	13	20.5	13	17.9
206	200.3	14.99 ms	206	10	20.9	10	18.2
102	100.2	29.85 ms	102	7.3	21.4	39	18.9
59.98	59.52	50.02 ms	59.98	6.2	21.6	35	19.1
50	49.68	60 ms	50	5.3	21.8	36	19.1
20	20.01	149.93 ms	20	4.9	22	33	19.2
16.67	16.63	179.96 ms	16.67	4.2	22.1	29.8	19.35
10	10	300 ms	10	3.7	22.4	20.9	19.9
5	5	600 ms	5	3.5	22.4	17.8	20.1
2.5	2.5	1.2 s	2.5	3	22.7	17.8	20.1
1.25	1.25	2.4 s	1.25	2.9	22.7	14.9	20.4

¹ 建立时间舍入到最接近的毫秒，反映在输出数据速率和通道开关速率中。通道开关速率 = $1 \div$ 建立时间。

² 基于每通道数据速率 ≥ 381 SPS的1000个样本，基于每通道数据速率 ≤ 200.3 SPS的100个样本。

表9. 使用Sinc3滤波器时0 mA至20 mA电流输入噪声和分辨率与输出数据速率的关系

默认输出数据速率 (SPS); SING_CYC = 0且单通道使能	输出数据速率 (每通道 SPS); SING_CYC = 1或 多个通道使能	建立时间 ¹	陷波频率 (Hz)	噪声 (nA rms) ²	有效分辨率 (位)	噪声 (nA p-p)	峰峰值分辨率 (位)
31,250	6211	96 μs	31,250	2177	15.5	13315	12.9
15,625	5181	192 μs	15,625	309	18.3	1830	15.8
10,417	4444	288 μs	10,417	121	19.7	781	17
5208	3115	576 μs	5208	72	20.4	452	17.8
3906	2597	1.15 ms	3906	49	20.9	339	18.2
1157	1007	2.98 ms	1157	30	21.6	214	18.8
539	503.8	5.95 ms	539	22	22.1	149	19.4
401	381	7.49 ms	401	19	2.3	125	19.6
206	200.3	14.99 ms	206	14	22.8	77	20.3
102	100.2	29.85 ms	102	10	23.2	71	20.4
59.98	59.52	50.02 ms	59.98	7.6	23.6	53	20.8
50	49.68	60 ms	50	7.2	23.7	41	21.2
20	20.01	149.93 ms	20	4.8	24	29.8	21.7
16.67	16.63	179.96 ms	16.67	4.4	24	29.8	21.7
10	10	300 ms	10	3.8	24	23.8	22
5	5	600 ms	5	3.1	24	17.9	22.4
2.5	2.5	1.2 s	2.5	2.6	24	11.9	23
1.25	1.25	2.4 s	1.25	2.4	24	11.9	23

¹ 建立时间舍入到最接近的毫秒，反映在输出数据速率和通道开关速率中。通道开关速率 = $1 \div$ 建立时间。

² 基于每通道数据速率 ≥ 381 SPS的1000个样本，基于每通道数据速率 ≤ 200.3 SPS的100个样本。

工作原理

AD4112是一款快速建立、高分辨率、多路复用ADC，配置灵活，具有以下特性：

- 四个全差分或八个单端电压输入。
- 集成了精度匹配电阻的高阻性分压器
- 集成了电流检测电阻的四个电流输入。
- 在极小尺寸的器件内嵌入了专有的*iPassives™*技术。
- 各通道独立配置能力——最多可以定义八种不同的设置。可以将不同的设置映射到各通道。每种设置都允许用户配置缓冲器使能与否、增益和失调校正、滤波器类型、ODR以及基准电压源选择。

AD4112内置一个2.5 V精密低漂移(5 ppm/°C)带隙内部基准电压源。此基准电压源用于ADC转换，从而减少外部元件数量。在使能状态下，内部基准电压源会输出至REFOUT引脚。它可以用作为外部电路的低噪声偏置电压，并且必须连接到0.1 μ F去耦电容。

AD4112内置两个独立的线性稳压器模块，分别用于模拟和数字电路。模拟LDO稳压器将AVDD电源调节到1.8 V。

用于数字IOVDD电源的线性稳压器执行类似的功能，将施加于IOVDD引脚的输入电压调节至1.8 V。串行接口信号始终采用该引脚上出现的IOVDD电源工作；这意味着，如果将3.3 V电压施加于IOVDD引脚，接口逻辑输入和输出将以此电平工作。

AD4112设计用于多个工厂自动化和过程控制应用，例如可编程逻辑控制器 (PLC) 和分布式控制系统 (DCS) 模块。AD4112即可降低系统总成本和设计负担，又能保持极高的精度。AD4112提供以下系统优势：

- 5 V或3.3 V单电源。
- 可实现低至1 M Ω 的输入阻抗。
- 超量程电压大于 ± 10 V。
- 集成了检测电阻，以便直接测量电流输入。
- 降低了校准成本。

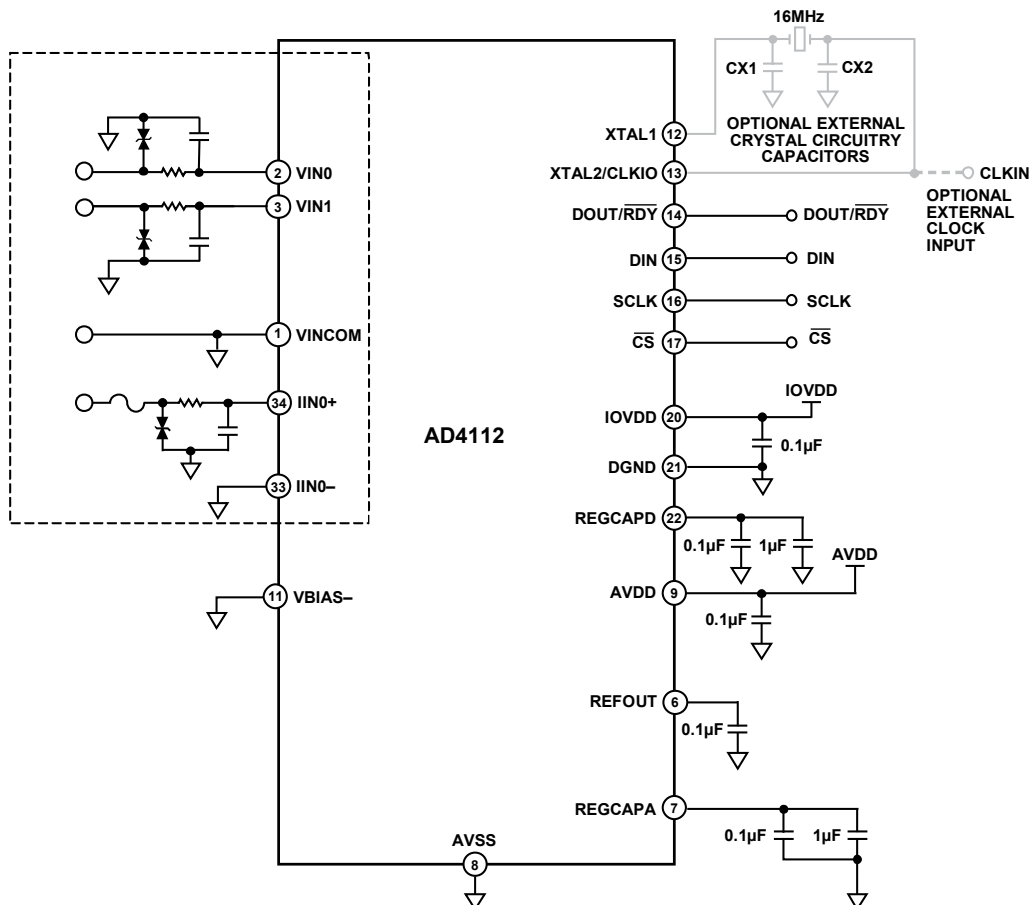


图31. 典型连接图

16465-010

电源

AD4112有两个独立的电源引脚：AVDD和IOVDD。AD4112对电源时序控制器无特定的要求。但是，当所有电源稳定时，器件需要复位。关于如何复位设备的详细信息，参见“AD4112复位”部分。

AVDD为内部1.8 V模拟LDO稳压器供电，且后者会为ADC内核供电。AVDD还为交叉点多路复用器和集成的输入缓冲器供电。AVDD以AVSS为基准， $AVDD - AVSS = 3.3\text{ V}$ 或 5 V 。AVDD和AVSS既可是3.3 V或5 V单电源，也可是 $\pm 1.65\text{ V}$ 或 $\pm 2.5\text{ V}$ 分离电源。采用分离电源时，应考虑绝对最大额定值（参见“绝对最大额定值”部分）。

IOVDD为内部1.8 V数字LDO稳压器供电。该稳压器为ADC的数字逻辑供电。IOVDD设置ADC的串行外设接口（SPI）电平。IOVDD以DGND为基准，IOVDD至DGND的范围可以在2 V（最小值）到5.5 V（最大值）之间。

单电源工作 (AVSS = DGND)

当AD4112采用连接到AVDD的单电源供电时，电源可以是3.3 V或5 V。在该配置下，AVSS和DGND可以一起短接到单个接地层。

在该单极性输入配置中，IOVDD的范围为2 V至5.5 V。

数字通信

AD4112有一个3线或4线SPI接口，该接口与QSPI™、MICROWIRE®和DSP兼容。该接口以SPI模式3工作，在 $\overline{\text{CS}}$ 接低电平时也能工作。在SPI模式3下，SCLK空闲时为高电平，SCLK的下降沿为驱动沿，上升沿为采样沿。数据在下降/驱动沿输出，在上升/采样沿输入。



图32. SPI模式3 SCLK沿

访问ADC寄存器映射

通信寄存器控制对ADC全部寄存器映射的访问。此寄存器是一个8位只写寄存器。上电或复位后，数字接口默认处于期待对通信寄存器执行一个写入操作的状态。因此，所有通信均从写入通信寄存器开始。

写入通信寄存器的数据决定要访问哪一个寄存器，以及下一个操作是读操作还是写操作。RA位（寄存器0x00中的位[5:0]）决定读取或写入操作的目标寄存器。

当对选定寄存器的读或写操作完成后，接口返回到默认状态，即期待对通信寄存器执行写操作的状态。

当接口同步丧失时，执行一个占用至少64个串行时钟周期的写操作，并使DIN处于高电平状态，可以复位整个器件，使ADC返回默认状态，包括寄存器内容。另外，如果 $\overline{\text{CS}}$ 配合数字接口使用，让 $\overline{\text{CS}}$ 变为高电平就能将数字接口重置为默认状态，并中止当前的任何操作。

图33和图34显示了对一个寄存器的读写操作：首先将一个8位命令写入通信寄存器，然后是针对寻址寄存器的数据。

要验证器件通信是否正常，建议读取ID寄存器。ID寄存器是一个只读寄存器，对于AD4112，其值为0x30DX。通信寄存器和ID寄存器的详细信息参见表10和表11。

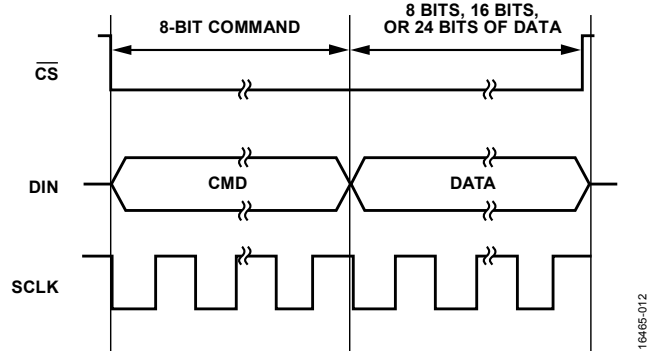


图33. 写入一个寄存器（8位命令和寄存器地址，随后是8位、16位或24位数据；数据长度取决于所选的寄存器）

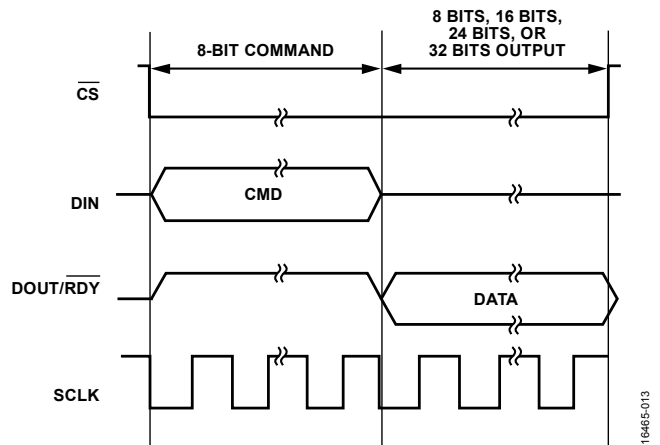


图34. 读取一个寄存器（8位命令和寄存器地址，随后是8位、16位、24位或32位数据；DOUT上的数据长度取决于所选的寄存器）

AD4112

AD4112复位

上电周期结束后以及电源稳定时，器件需要复位。在接口同步丢失的情况下，器件也需要复位。执行一个占用至少64个串行时钟周期的写入操作，并使DIN处于高电平状态，可

以复位整个器件，使ADC返回默认状态，包括寄存器内容。另外，如果 \overline{CS} 配合数字接口使用，让 \overline{CS} 变为高电平就能将数字接口设为默认状态，并中止任何串行接口操作。

表10. 通信寄存器位图

寄存器	名称	位	位7	位6	位5	位4	位3	位2	位1	位0	复位	RW
0x00	COMMS	[7:0]	WEN	R/W	RA						0x00	W

表11. ID寄存器位图

寄存器	名称	位	位7	位6	位5	位4	位3	位2	位1	位0	复位	RW	
0x07	ID	[15:8]	ID[15:8]									0x30DX ¹	R
	[7:0]	[7:0]	ID[7:0]										

¹ X表示无关。

配置概述

在加电或复位后，AD4112的默认配置如下：

- 通道配置：通道0使能，选择VIN0和VIN1对作为输入。选择设置0。
- 设置配置：模拟输入缓冲器禁用，并且基准输入缓冲器也禁用。选择REF±引脚作为基准电压源。请注意，在该设置下，默认通道不会正常工作，因为需要为VIN输入使能输入缓冲器。
- 滤波器配置：选择sinc5 + sinc1滤波器，并选择最大输出数据速率31.25 kSPS。
- ADC模式：持续转换模式和内部振荡器使能。内部基准源禁用。
- 接口模式：CRC以及数据和状态输出禁用。

注意，这里只展示了少数几种寄存器设置选项。本列表只是一个示例。有关寄存器的完整信息，请参阅“寄存器详解”部分。

图35概要展示了ADC配置的建议更改流程，分为以下三个模块：

- 通道配置（见图35中的框A）
- 设置配置（见图35中的框B）
- ADC模式和接口模式配置（见图35中的框C）

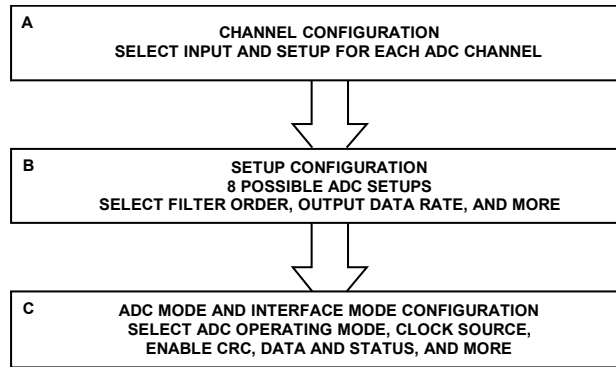


图35. 建议ADC配置流程

表12. 通道寄存器0

寄存器	名称	位	位7	位6	位5	位4	位3	位2	位1	位0	复位	RW
0x10	CH0	[15:8]	CH_EN0		SETUP_SEL0			保留	INPUT[9:8]		0x8001	RW
		[7:0]		INPUT[7:0]								

通道配置

AD4112有16个独立通道和8种独立设置。用户可以选择任意通道上的任何输入对，还可为任何通道选择8种设置中的任意一种，让用户在通道配置方面拥有全面的灵活性。此外，在使用差分输入和单端输入时，因为每个通道都可以拥有自己的专用设置，所以可以按通道进行配置。

通道寄存器

通道寄存器选择用于该通道的电压或电流输入。此寄存器还包含通道使能/禁用位和设置选择位，用于选择该通道使用8种可用设置中的哪一种。

当AD4112工作时，若有一个以上的通道使能，通道序列器将按顺序遍历各使能的通道，从通道0到通道15。如果一个通道被禁用，序列器将跳过该通道。通道0的通道寄存器详情如表12所示。

ADC设置

AD4112有八种独立设置。每种设置包括以下四个寄存器：

- 设置配置寄存器
- 滤波器配置寄存器
- 增益寄存器
- 失调寄存器

例如，设置0包括设置配置寄存器0、滤波器配置寄存器0、增益寄存器0和失调寄存器0。图36显示了这些寄存器的分组。设置可从通道寄存器中选择（参见“通道配置”部分），可以为各通道分配八种独立设置中的一种。表13至表16显示了设置0相关的四个寄存器。该结构在设置1至设置7重复出现。

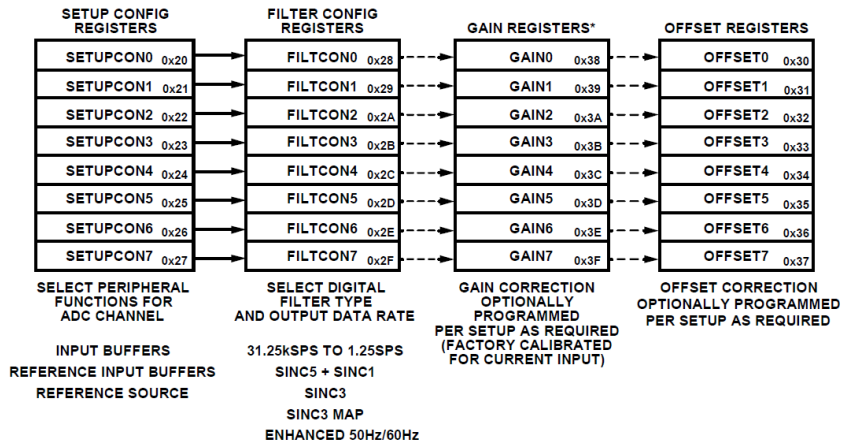


图36. ADC设置寄存器分组情况

表13. 设置配置寄存器0

寄存器	名称	位	位7	位6	位5	位4	位3	位2	位1	位0	复位	RW
0x20	SETUPCON0	[15:8]	保留			BI_UNIPOLAR0	REFBUF0+	REFBUF0-	INBUF0		0x1000	RW
		[7:0]	保留	保留	REF_SEL0		保留					

表14. 滤波器配置寄存器0

寄存器	名称	位	位7	位6	位5	位4	位3	位2	位1	位0	复位	RW
0x28	FILTCON0	[15:8]	SINC3_MAP0	保留			ENHFILTENO	ENHFILTO		0x0500	RW	
		[7:0]	保留	ORDER0	ODR0							

表15. 增益寄存器0

寄存器	名称	位	位[23:0]							复位	RW
0x38	GAIN0	[23:0]	GAIN0[23:0]							0x5XXXX0	RW

表16. 失调寄存器0

寄存器	名称	位	位[23:0]							复位	RW
0x30	OFFSET0	[23:0]	OFFSET0[23:0]							0x800000	RW

增益寄存器

增益寄存器是24位寄存器，用来保存ADC的增益校准系数。增益寄存器是读/写寄存器。上电时，这些寄存器的电流输入将按照出厂校准系数进行配置。因此，每个器件具有不同的默认系数。在通道寄存器上使能电压输入时（参见“通道寄存器”部分），用户还必须根据相应设置更新增益寄存器。更多信息，请参见“调整电压输入增益”部分。

失调寄存器

失调寄存器保存ADC的失调校准系数。失调寄存器的上电复位值为0x800000。失调寄存器为24位读写寄存器。

ADC模式和接口模式配置

ADC模式寄存器和接口模式寄存器用于配置供AD4112使用的内核外设，同时也用于配置数字接口模式。

表17. ADC模式寄存器

寄存器	名称	位	位7	位6	位5	位4	位3	位2	位1	位0	复位	RW
0x01	ADCMODE	[15:8]	REF_EN	保留	SING_CYC	保留		延迟			0x2000	RW
		[7:0]	保留	模式			CLOCKSEL		保留			

表18. 接口模式寄存器

寄存器	名称	位	位7	位6	位5	位4	位3	位2	位1	位0	复位	RW
0x02	IFMODE	[15:8]	保留			ALT_SYNC	IOSTRENGTH	保留		DOUT_RESET	0x0000	RW
		[7:0]	CONTREAD	DATA_STAT	REG_CHECK	保留	CRC_EN		保留	WL16		

ADC模式寄存器

ADC模式寄存器主要用于设置ADC的转换模式：连续转换或单次转换。用户也可以选择待机和关断模式以及任何校准模式。此外，该寄存器还包含时钟源选择位和内部基准电压源使能位。基准电压源选择位包含在设置配置寄存器中（更多信息参见“ADC设置”部分）。此寄存器详情如表17所示。

接口模式寄存器

接口模式寄存器用于配置数字接口的工作模式。利用此寄存器，用户可以控制数据字长度、CRC使能、数据+状态读取和连续读取模式。此寄存器详情如表18所示。更多信息请参阅“数字接口”部分。

电路说明

多路复用器

有九个电压引脚和八个电流输入：VIN0-至 VIN7、VINCOM、IIN0+至IIN3+以及IIN0-至 IIN3-。各引脚均连接到内部多路复用器。利用多路复用器，可将这些输入配置为输入对（关于如何设置这些输入的更多信息，参见“电压输入”部分和“电流输入”部分）。AD4112最多可以有16个有效通道。使能多个通道时，各通道按顺序自动处理：从编号最小的使能通道到编号最大的使能通道。多路复用器的输出连接到集成真轨到轨缓冲器的输入。可禁用这些缓冲器，让多路复用器的输出直接连到ADC的开关电容输入。简化的输入电路如图37和图38所示。

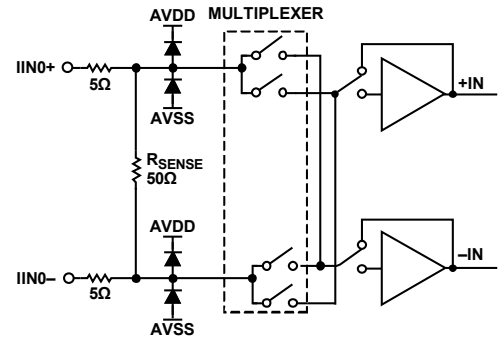


图37. 简化的电流输入电路

16465-014

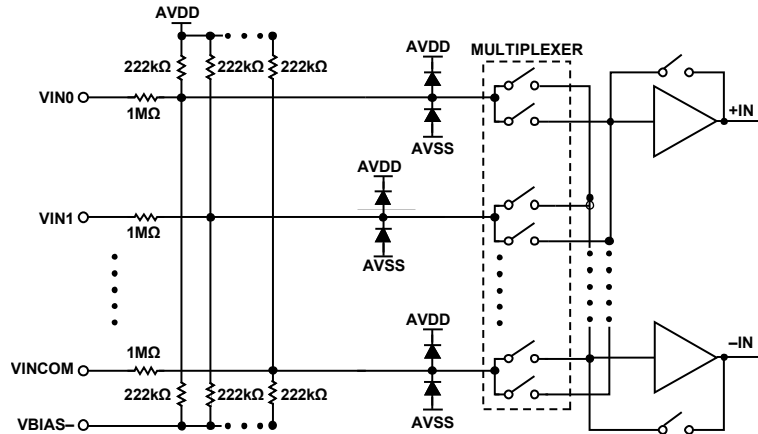


图38. 简化的电压输入电路

16465-015

电流输入

有四个电流输入引脚 (IIN0+至IIN3+) 和四个电流返回引脚 (IIN0-至IIN3-)。按照输入对编号 (如IIN0+和IIN0-) 连接这些引脚。

禁用电流输入的输入缓冲器。

电流通道在出厂时已经过校准,能够实现额定精度。该校准值存储在片内非易失性存储器中,并在上电或复位后复制到所有增益寄存器。

电压输入

AD4112可设置为八个单端输入或四个全差分输入。模拟前端上的分压器的分频比为10,由多个精度匹配电阻组成,采用5 V单电源供电,支持 ± 20 V的输入范围。

在电压输入通道的设置寄存器中使能输入缓冲器。

全差分输入

由于模拟前端具有匹配电阻,因此差分输入必须进行以下配对: VIN0和VIN1、VIN2和VIN3、VIN4和VIN5、VIN6和VIN7。如果按照本数据手册所述以外的其他配置配对任何两个电压输入,那么无法保证器件的精度。

单端输入

用户也可以选择测量最多8个不同的单端电压输入。在这种情况下,每个电压输入必须与VINCOM配对。将VINCOM从外部连接到AVSS。

调整电压输入增益

上电或复位后,所有增益寄存器将加载电流输入的出厂校准系数。使用电压输入时,必须在设备上电或复位后修改对应的增益寄存器。通过运行内部满量程校准来执行该修改(参见“校准”部分以获取更多信息)。或者,可以用标称值0x55567C来覆盖增益寄存器。但是,由于理想值因设备而异,因此建议进行校准。

或者,可以通过将精密电压源连接到电压输入并执行满量程系统校准,来校准增益。

AD4112基准电压源

AD4112允许用户将外部基准电压源施加于使用AVDD-AVSS的器件的REF+和REF-引脚,或者使用内部2.5 V、低噪声、低漂移基准电压源。适当对设置配置寄存器的REF_SELx位(位[5:4])进行设置,以选择要使用的基准电压源。设置配置0寄存器的结构如表19所示。默认情况下,AD4112在上电时使用外部基准电压源。

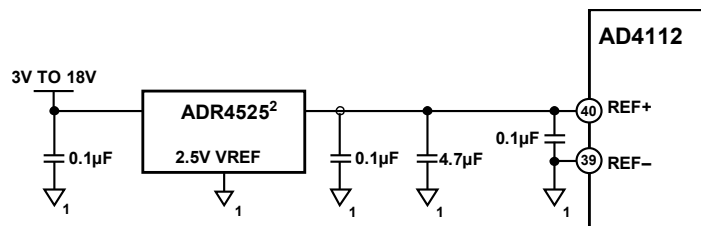
内部基准电压源

AD4112内置低噪声、低漂移基准电压源。内部基准电压源提供2.5 V输出。ADC模式寄存器的REF_EN位设为1后,内部基准电压源通过REFOUT引脚输出,并通过一个0.1 μ F电容去耦至AVSS。上电时默认禁用AD4112内部基准电压源。

外部基准电压源

AD4112具有全差分基准输入,通过REF+和REF-引脚施加。推荐使用标准低噪声、低漂移基准电压源,如ADR4525。将外部基准电压源施加于AD4112基准电压引脚,如图39所示。将任何外部基准电压源的输出去耦至AVSS。如图39所示,ADR4525输出通过其输出端的0.1 μ F电容去耦以确保稳定。输出然后连接到一个4.7 μ F电容,它用作ADC所需动态电荷的储存库,REF+输入端连接一个0.1 μ F去耦电容。此电容应尽可能靠近REF+和REF-引脚。

REF-引脚直接连到AVSS电位。当使用外部基准电压源而非内部基准电压源为AD4112供电时,必须注意REFOUT引脚的输出。内部基准电压源由ADC模式寄存器的REF_EN位(位15)控制,如表20所示。如果内部基准电压源未在其他位置使用,请确保REF_EN位停用。



¹ALL DECOUPLING IS TO AVSS.
²ANY OF THE ADR4525 FAMILY REFERENCES CAN BE USED.
 ADR4525 ENABLES REUSE OF THE 3.3V ANALOG SUPPLY NEEDED FOR AVDD TO POWER THE REFERENCE VIN.

图39. ADR4525连接到AD4112 REF±引脚

16465-016

AD4112

表19. 设置配置0寄存器

寄存器	名称	位	位7	位6	位5	位4	位3	位2	位1	位0	复位	RW
0x20	SETUPCON0	[15:8]	保留			BI_UNIPOLAR0	REFBUF0+	REFBUF0-	INBUF0		0x1000	RW
		[7:0]	保留	保留	REF_SEL0		保留					

表20. ADC模式寄存器

寄存器	名称	位	位7	位6	位5	位4	位3	位2	位1	位0	复位	RW
0x01	ADCMODE	[15:8]	REF_EN	保留	SING_CYC	保留		延迟			0x2000	RW
		[7:0]	保留	模式			CLOCKSEL		保留			

基准电压输入缓冲

AD4112的两个ADC基准输入上均集成真正的轨到轨精密单位增益缓冲器。缓冲器的好处是提供高输入阻抗,使外部高阻抗信号源可以直接连接到基准输入。集成的基准输入缓冲器可以全面驱动内置基准电压源开关电容采样网络,简化了基准电压源电路要求。每个基准输入缓冲器放大器均完全斩波,就是说,这会使缓冲器的失调误差漂移和1/f噪声最小。使用ADR4525等基准电压源时,不需要这些缓冲器,因为这些基准电压源经过适当去耦后可以直接驱动基准输入。

时钟源

AD4112使用标称2 MHz的主时钟。AD4112可以从以下三个来源之一获得采样时钟:

- 内部振荡器。
- 外部晶振 (使用一个16 MHz晶振,自动内部分频,以设置2 MHz时钟)。
- 外部时钟源。

数据手册中列出的所有输出数据速率均与2 MHz的主时钟速率相关。例如,使用外部源提供的较低时钟频率时,所有列出的数据速率将按比例缩放。为实现额定数据速率,尤其是支持50 Hz和60 Hz抑制的速率,应使用2 MHz时钟。主时钟的来源通过设置ADC模式寄存器的CLOCKSEL位(位[3:2])来选择,如表20所示。AD4112在上电和复位时默认使用内部振荡器工作。在低输出数据速率时,利用SINC3_MAPx位可以微调输出数据速率和滤波器陷波频率。

内部振荡器

内部振荡器工作频率为16 MHz,内部分频至调制器所用的2 MHz,并且可以用作ADC主时钟。内部振荡器是AD4112的默认时钟源,额定精度为-2.5%至+2.5%。

有一个选项允许内部时钟振荡器通过晶振2/CLKIO引脚输出。时钟输出被驱动到IOVDD逻辑电平。由于输出驱动器会产生干扰,因此该选项可能影响AD4112的直流性能。性能受影响的程度取决于IOVDD电压。IOVDD电压越高,则驱动器的逻辑输出摆幅越宽,因而性能受到的影响越大。如果IOSTRENGTH位设置为较高的IOVDD电平,则影响更严重(更多信息参见表27)。

外部晶振

如果需要更高精度、更低抖动的时钟源,AD4112可以使用外部晶振来产生主时钟。晶振连接到晶振1和晶振2/CLKIO引脚。建议使用的晶振之一是Epson-Toyocom的16 MHz、10 ppm、9 pF晶振FA-20H,它采用表贴封装。如图40所示,从连接晶振的走线到XTAL1和XTAL2/CLKIO引脚之间插入两个电容(CX1和CX2)。这些电容支持电路调谐。应将这些电容连接到DGND引脚。这些电容的值取决于晶振与晶振1和晶振2/CLKIO引脚之间的走线连接的长度和容值。因此,PCB布局和采用的晶振不同,这些电容的值也不同。

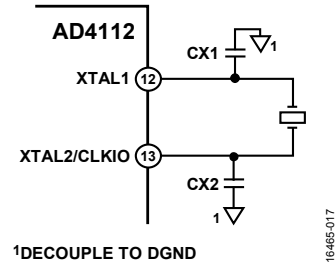


图40. 外部晶振连接

根据所用的SCLK频率、IOVDD电压、晶振电路布局以及晶振,外部晶振电路可能对SCLK边沿敏感。晶振启动时,SCLK边沿造成的任何干扰都可能引起晶振输入出现双边沿,导致转换无效,直至晶振电压达到足够高的水平,使得SCLK边沿的任何干扰都不足以引起双时钟。启动后,确保晶振电路已达到足够高的电平,然后再施加SCLK,可以避免双时钟问题。

由于晶振电路的性质,建议在要求条件下,利用最终PCB布局和晶振对电路进行经验测试,确保其能正常工作。

外部时钟

AD4112也可以使用外部提供的时钟。在使用外部提供的时钟的系统中,外部时钟路由到XTAL2/CLKIO引脚。在该配置下,XTAL2/CLKIO引脚接受外部提供的时钟,并将其路由到调制器。此时钟输入的逻辑电平由施加于IOVDD引脚的电压定义。

数字滤波器

AD4112有三个灵活的滤波器选项，支持对噪声、建立时间和抑制性能进行优化：

- sinc5 + sinc1滤波器。
- sinc3滤波器。
- 增强型50 Hz和60 Hz抑制滤波器。

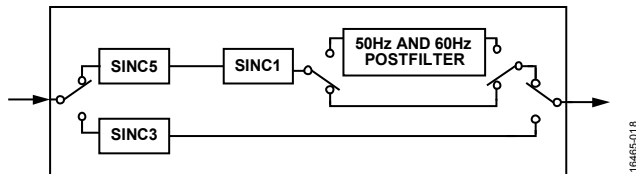


图41. 数字滤波器框图

滤波器和输出数据速率是通过设置选定设置的滤波器配置寄存器的相应位来配置。各通道可使用不同的设置，因而可使用不同的滤波器和输出数据速率。更多信息参见“寄存器详解”部分。

SINC5 + SINC1滤波器

Sinc5 + Sinc1滤波器主要用于多路复用应用，在2.6 kSPS和更低的输出数据速率时，可实现单周期建立。Sinc5模块输出固定在31.25 kSPS的最大速率，Sinc1模块的输出数据速率可变，从而控制最终ADC输出数据速率。图42显示Sinc5 + Sinc1滤波器在50 SPS输出数据速率时的频域响应。Sinc5 + Sinc1滤波器随频率的滚降速度很慢，陷波频率很窄。

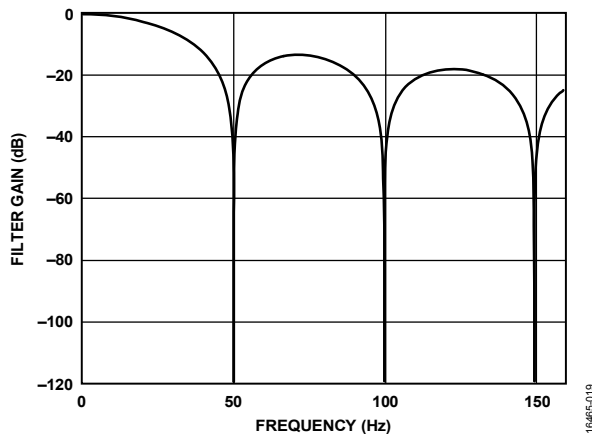


图42. Sinc5 + Sinc1滤波器在50 SPS ODR时的响应

Sinc5 + Sinc1滤波器的输出数据速率以及相应的建立时间和有效值噪声如表6和表7所示。

SINC3滤波器

Sinc3滤波器在较低速率时可实现最佳单通道噪声性能，因此最适合单通道应用。Sinc3滤波器的建立时间始终等于

$$t_{SETTLE} = 3 / \text{输出数据速率}$$

图43所示为Sinc3滤波器的频域滤波器响应。Sinc3滤波器具有良好的随频率滚降性能，并具有宽陷波频率，可实现良好的陷波频率抑制。

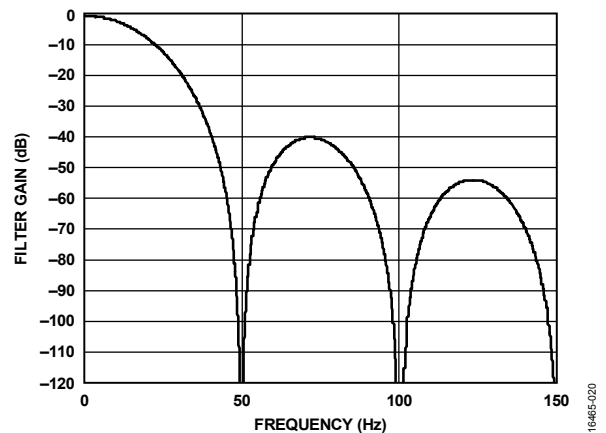


图43. Sinc3滤波器响应

Sinc3滤波器的输出数据速率以及相应的建立时间和均方根噪声如表8和表9所示。通过设置滤波器配置寄存器的SINC3_MAPx位，可以精密调整Sinc3滤波器的输出数据速率。如果此位置1，滤波器寄存器的映射将变为直接对Sinc3滤波器的抽取率进行编程。所有其他选项均无效。单通道的数据速率可通过下式计算：

$$\text{输出数据速率} = f_{MOD} / (32 \times \text{FILTCONx}[14:0])$$

其中：

f_{MOD} 为调制器速率（MCLK/2），等于1 MHz。FILTCONx[14:0]是滤波器配置寄存器的内容，不包括MSB。

例如，通过将FILTCONx[14:0]位设置为625以使能SINC3_MAPx，可以实现50 SPS的输出数据速率。

单周期建立

AD4112可以配置如下：将ADC模式寄存器的SING_CYC位设为1，以便仅输出完全建立的数据，从而将ADC有效置于单周期建立模式。此模式将输出数据速率降至与选定输出数据速率的ADC建立时间相等的水平，从而实现单周期建立。Sinc5 + Sinc1滤波器在2.6 kSPS及更低的输出数据速率时，或者在使能多个通道时，此位不起作用。

图44显示了禁用单周期建立模式且选择Sinc3滤波器时模拟输入上的阶跃。为使输出达到最终稳定值，阶跃变化后模拟输入至少需要三个周期。

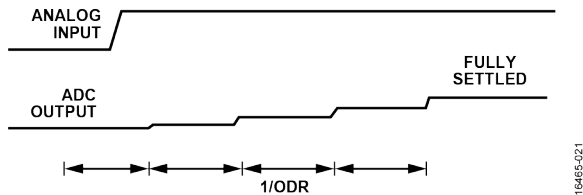


图44. 无单周期建立的阶跃输入

图45显示了单周期建立使能时模拟输入上的相同阶跃。为使输出完全建立，模拟输入至少需要一个周期。输出数据速率（如RDY信号所指示）现在降为与选定输出数据速率的滤波器建立时间相当的水平。

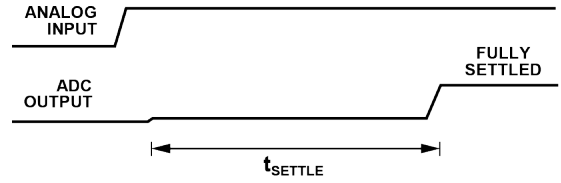


图45. 带单周期建立的阶跃输入

增强型50 Hz和60 Hz抑制滤波器

增强型滤波器提供50 Hz和60 Hz同时抑制，并且允许用户在建立时间和工频抑制性能间做折衷。这些滤波器能够以最高27.27 SPS的速率工作，或者可以抑制最高90 dB的50 Hz ± 1 Hz和60 Hz ± 1 Hz干扰。这些滤波器是通过对sinc5 + sinc1滤波器输出进行后置滤波实现的。因此，使用增强型滤波器以实现额定建立时间和噪声性能时，必须选择Sinc5 + Sinc1滤波器。表21和表22显示了输出数据速率及相应的建立时间、抑制性能和有效值噪声。图46至图53显示了增强型滤波器的频域响应。

表21. 增强型滤波器使用增强型滤波器的输出数据速率、电压输入噪声、建立时间和抑制性能

输出数据速率(SPS)	建立时间 (ms)	50 Hz ± 1 Hz和60 Hz ± 1 Hz同时抑制(dB) ¹	噪声 (μV rms)	峰峰值分辨率 (位)	注释
27.27	36.67	47	6.44	19.1	参见图46和图49
25	40.0	62	6.09	19.2	参见图47和图50
20	50.0	85	5.54	19.35	参见图48和图51
16.667	60.0	90	5.38	19.51	参见图52和图53

¹ 主时钟 = 2.00 MHz。

表22. 增强型滤波器使用增强型滤波器的输出数据速率、电流输入噪声、建立时间和抑制性能

输出数据速率(SPS)	建立时间 (ms)	50 Hz ± 1 Hz和60 Hz ± 1 Hz同时抑制(dB) ¹	噪声 (nA rms)	峰峰值分辨率 (位)	注释
27.27	36.67	47	7.69	21.4	参见图46和图49
25	40.0	62	7.68	21.2	参见图47和图50
20	50.0	85	7.26	21.7	参见图48和图51
16.667	60.0	90	7.25	21.7	参见图52和图53

¹ 主时钟 = 2.00 MHz。

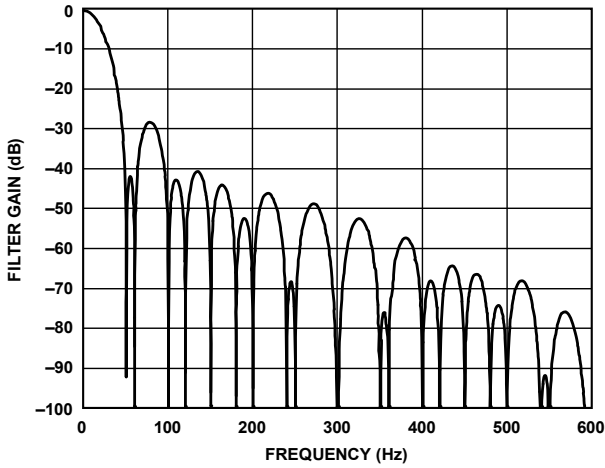


图46. 27.27 SPS ODR, 36.67 ms 建立时间

16465-022

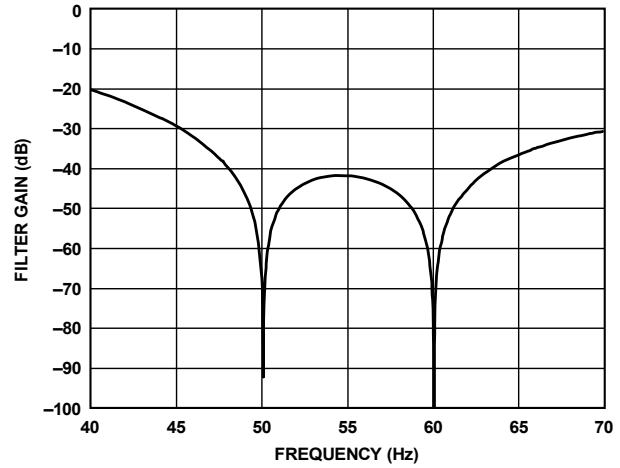


图49. 27.27 SPS ODR, 36.67 ms 建立时间 (40 Hz至70 Hz)

16465-025

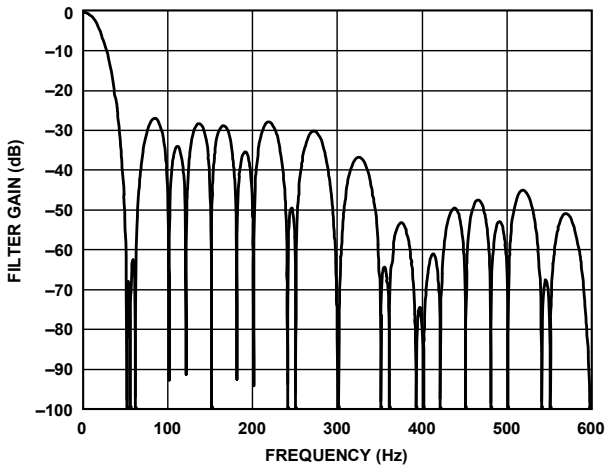


图47. 25 SPS ODR, 40 ms 建立时间

16465-023

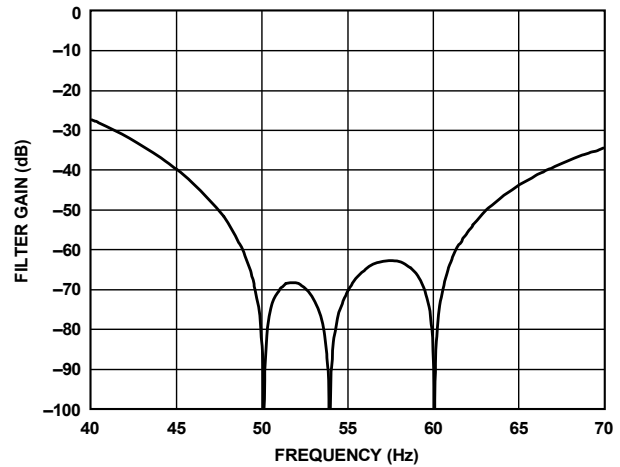


图50. 25 SPS ODR, 40 ms 建立时间 (40 Hz至70 Hz)

16465-026

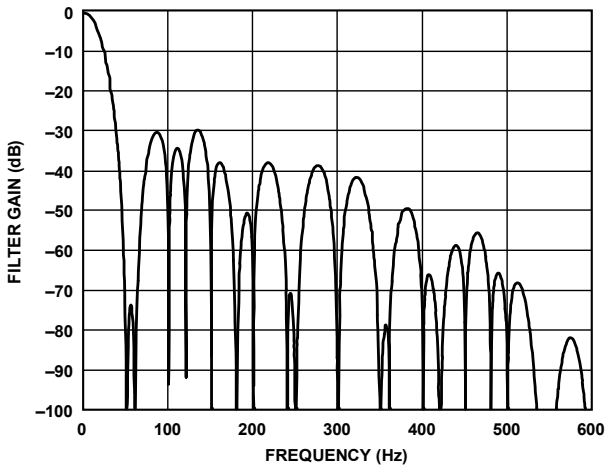


图48. 20 SPS ODR, 50 ms 建立时间

16465-024

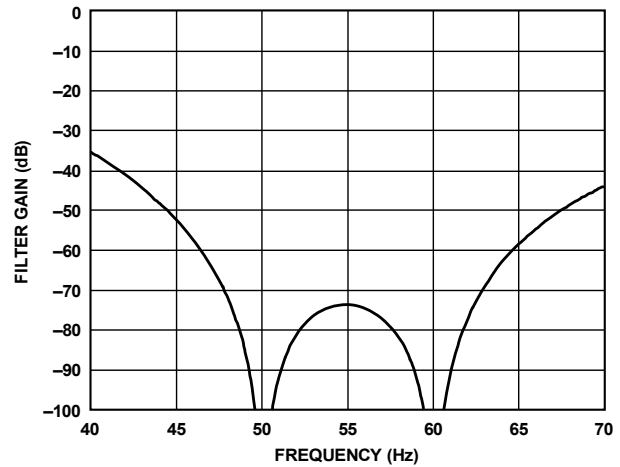


图51. 20 SPS ODR, 50 ms 建立时间 (40 Hz至70 Hz)

16465-027

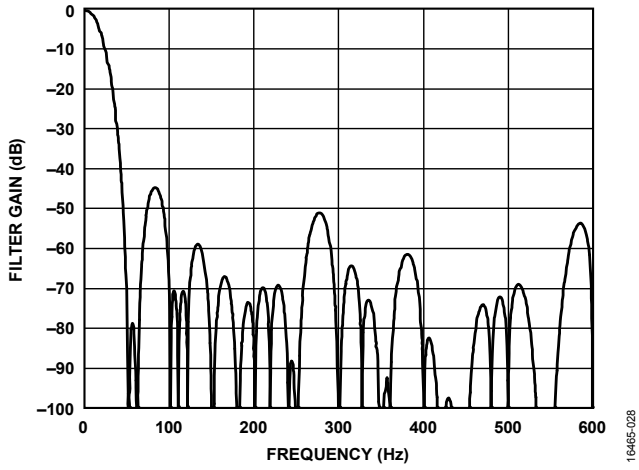


图52. 16.667 SPS ODR, 60 ms建立时间

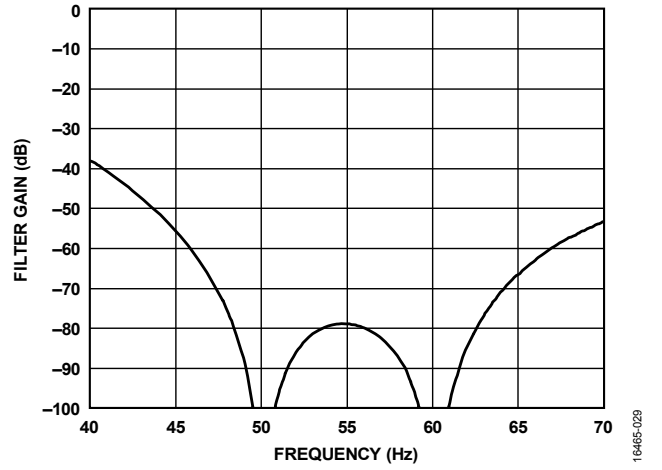


图53. 16.667 SPS ODR, 60 ms建立时间 (40 Hz至70 Hz)

工作模式

AD4112有多种工作模式，可利用ADC模式寄存器和接口模式寄存器（参见表26和表27）设置工作模式。这些模式如下：

- 连续转换模式
- 连续读取模式
- 单次转换模式
- 待机模式
- 关断模式
- 校准模式（四种）

连续转换模式

连续转换模式是默认加电模式。AD4112连续进行转换，每次完成转换后，状态寄存器中的RDY位变为低电平。如果CS为低电平，则完成一次转换时，RDY输出也会变为低电平。若要读取转换结果，应写入通信寄存器，指示下一操作为读

取数据寄存器。从数据寄存器中读取数据字后，DOUT/RDY引脚变为高电平。如需要，用户可以多次读取该寄存器。但是，必须确保在下一转换完成的瞬间，不访问数据寄存器。否则，新的转换结果将丢失。

如果使能了多个通道，ADC将自动遍历各使能通道，在每个通道上执行一次转换。所有通道均转换完毕后，又从第一个通道开始。使能的通道按从低到高的顺序转换。一旦获得转换结果，就会立即更新数据寄存器。每次获得转换结果时，RDY输出都会变为低电平。然后，用户可以读取转换结果，同时ADC转换下一个使能通道。

如果接口模式寄存器中的DATA_STAT位设置为1，则每次读取数据寄存器时，状态寄存器的内容将与转换数据一同输出。状态寄存器的四个LSB表示对应的转换通道。

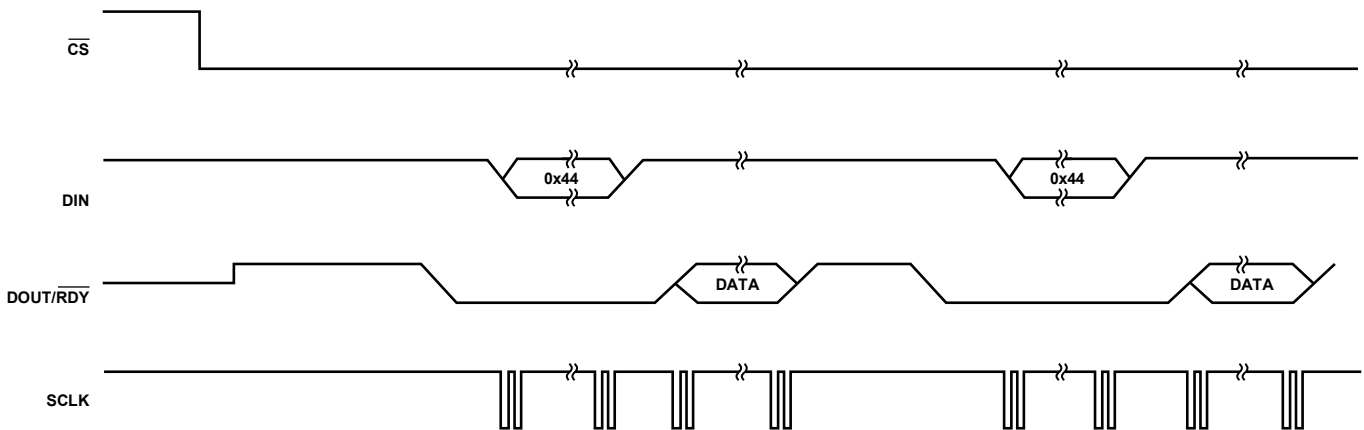


图54. 连续转换模式

连续读取模式

在连续读取模式下，读取ADC数据之前不需要写入通信寄存器。只需在 $\overline{\text{RDY}}$ 输出变为低电平（表示转换结束）后提供所需数量的SCLK即可。读取转换结果后， $\overline{\text{RDY}}$ 输出返回到高电平，直到获得下一转换结果为止。这种模式下，数据只能被读取一次，而且应确保在下一转换完成前读取数据字。如果在下一转换完成之前，用户尚未读取转换结果，或者为AD4112提供的串行时钟数不足以完成对数据字的读取，则在下一转换完成之前不久，串行输出寄存器将复位，新转换结果将置于输出串行寄存器中。要使用连续读取模式，ADC必须配置为连续转换模式。要使用连续读取模式，应将接口

模式寄存器的CONTREAD位设置为1。此位设置为1时，唯一可能的串行接口操作是读取数据寄存器。要退出连续读取模式，应在 $\overline{\text{RDY}}$ 输出为低电平时发出一个伪读取ADC数据寄存器命令（0x44）。或者，应用软件复位（即在 $\overline{\text{CS}} = 0$ 且 $\text{DIN} = 1$ 时提供64个SCLK）以复位ADC和所有寄存器内容。伪读取和软件复位是接口被置于连续读取模式后只能识别的命令。在连续读取模式下，在有指令写入器件前，DIN应保持低电平。

使能多个ADC通道时，各通道轮流输出；如果接口模式寄存器的DATA_STAT位置1，数据将为附加状态位。状态寄存器的四个LSB表示对应的转换通道。

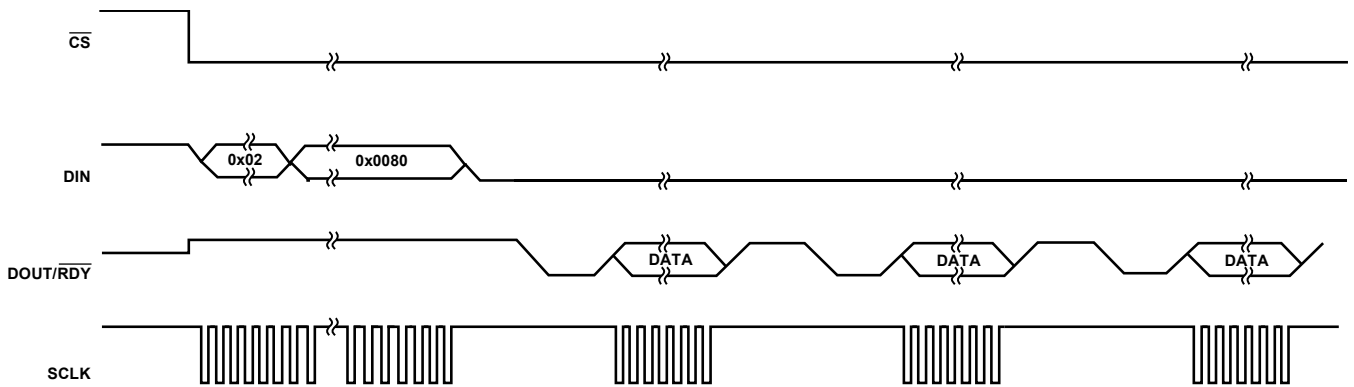


图55.连续读取模式

单次转换模式

在单次转换模式下，AD4112执行一次转换，完成转换后即被置于待机模式。 $\overline{\text{RDY}}$ 输出变为低电平表示转换完成。从数据寄存器中读取数据字后， $\overline{\text{RDY}}$ 输出变为高电平。如果需要，即使 $\overline{\text{RDY}}$ 输出已变为高电平，也可以多次读取数据寄存器。

如果使能了多个通道，ADC将自动遍历各使能通道，并在各通道上执行转换。开始首次转换后， $\overline{\text{RDY}}$ 输出变为高电平并保持该状态，直到获得有效转换结果且 $\overline{\text{CS}}$ 变为低电平。

当转换结果可用时， $\overline{\text{RDY}}$ 输出变为低电平。然后，ADC选择下一个通道并开始转换。在执行下一转换过程中，用户可以读取当前的转换结果。下一转换完成后，数据寄存器将更新；因此，用户读取转换结果的时间有限。ADC在各选择通道上均完成一次转换后，便会返回待机模式。

如果接口模式寄存器中的DATA_STAT位设置为1，则每次读取数据寄存器时，状态寄存器的内容将与转换数据一同输出。状态寄存器的4个LSB表示对应的转换通道。

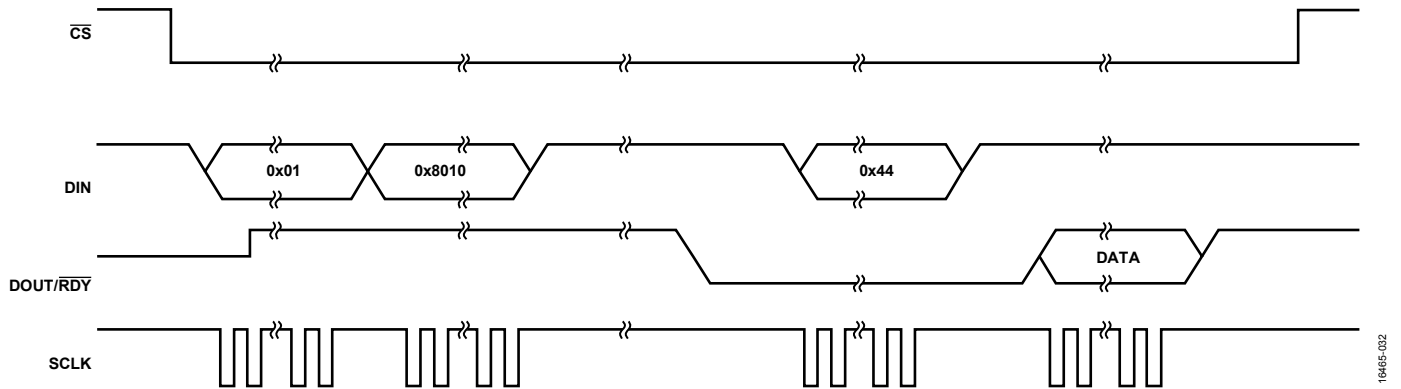


图56. 单次转换模式

16465-032

待机和关断模式

在待机模式下，大部分模块被关断。LDO稳压器仍然有效，因此寄存器保持其内容不变。晶振振荡器若被选择则仍然有效。要在待机模式下关断时钟，应将ADC模式寄存器的CLOCKSEL位设为00（内部振荡器模式）。

在关断模式下，所有模块均被关断，包括LDO稳压器。所有寄存器丢失其内容，GPIO输出被置于三态。要防止意外进入关断模式，必须首先将ADC置于待机模式。退出关断模式需要在 $\overline{CS} = 0$ 且 $DIN = 1$ 时提供64个SCLK，即执行串行接口复位。复位后建议延迟500 μ s后再发出后续串行接口命令以保证LDO稳压器有足够时间上电。

校准

为了消除失调和增益误差，AD4112可以执行两点校准。有四种校准模式，用来在单设置基础上消除失调和增益误差：

- 内部零电平校准模式
- 内部满量程校准模式
- 系统零电平校准模式
- 系统满量程校准模式

校准期间只能有一个通道有效。每次转换完成后，ADC转换结果需利用ADC校准寄存器进行调整，然后写入数据寄存器。

失调寄存器的默认值是0x800000，增益寄存器的标称值是电流通道的出厂校准值；因此，这个值可以介于0x500000至0x5FFFFFF之间。使能电压通道时，请运行内部满量程校准。计算使用下面的公式。在单极性模式下，理想关系（即不考虑ADC增益误差和失调误差）如下：

$$\text{数据} = ((0.075 \times V_{IN}/V_{REF}) \times 2^{23} - (\text{失调} - 0x800000)) \times (\text{增益}/0x400000) \times 2$$

对于电流输入，理想关系如下：

$$\text{数据} = ((0.75 \times (I_{IN} \times 50)/V_{REF}) \times 2^{23} - (\text{失调} - 0x800000)) \times (\text{增益}/0x400000) \times 2$$

在双极性模式下，理想关系（即不考虑ADC增益误差和失调误差）如下：

$$\text{数据} = ((0.075 \times V_{IN}/V_{REF}) \times 2^{23} - (\text{失调} - 0x800000)) \times (\text{增益}/0x400000) + 0x800000$$

对于电流输入，理想关系如下：

$$\text{数据} = ((0.75 \times (I_{IN} \times 50)/V_{REF}) \times 2^{23} - (\text{失调} - 0x800000)) \times (\text{增益}/0x400000) + 0x800000$$

为启动校准，应将适当的值写入ADC模式寄存器的mode位。启动校准后， $\overline{DOUT}/\overline{RDY}$ 引脚和状态寄存器中的 \overline{RDY} 位变为高电平。校准完成后，相应失调或增益寄存器的内容会更新，状态寄存器的 \overline{RDY} 位复位， \overline{RDY} 输出引脚返回到低电平（如果 \overline{CS} 为低电平），并且AD4112返回待机模式。

内部失调校准期间，调制器的两个输入均内部连接到所选的负模拟输入引脚。因此，必须确保所选负模拟输入引脚上的电压不超过允许的限值，并且没有过大的噪声和干扰。为执行内部满量程校准，满量程输入电压会自动连接到ADC输入。内部满量程校准只能在电压输入上执行。请勿在电流输入上执行内部满量程校准。

然而，系统校准则要求在启动校准模式之前，将系统零电平（失调）和满量程（增益）电压施加于输入引脚，这样可以消除AD4112的外部误差。电压输入上的系统满量程校准的ADC增益校准范围为 $3.75 \times V_{REF}$ 至 $10.5 \times V_{REF}$ 。但是，如果 $10.5 \times V_{REF}$ 大于所施加的AVDD的绝对输入电压技术规格，则使用这个技术规格作为上限而非 $10.5 \times V_{REF}$ （参见“技术规格”部分）。

电流输入在出厂时已经过校准。因此，无需执行系统校准。但是，如果要求进行系统校准，请为 $V_{REF} = 2.5$ V施加24 mA满量程值。

内部零电平校准只会消除ADC内核的失调误差。它不会消除电阻前端的误差。系统零电平校准可将失调误差降至与该通道上的噪声相当的水平。

从操作上来看，校准就像另一次ADC转换。如果需要，失调校准必须总是在满量程校准之前执行。对系统软件进行设置，以监视状态寄存器中的 \overline{RDY} 位或 \overline{RDY} 输出，进而通过一个轮询序列或中断驱动的例行程序确定校准结束时间。所有校准所需的时间等于选定输出速率对应的滤波器建立时间。

所有校准均可以在任意输出数据速率下执行。使用较低的输出数据速率可以获得更高的校准精度，并且对所有输出数据速率都是精确的。如果一个通道的基准电压源发生改变，则该通道需要重新进行失调校准。

用户可以访问AD4112的片内校准寄存器，通过微处理器读取器件的校准系数，以及写入自己的校准系数。读写失调和增益寄存器可以在内部或自校准以外的任意时间执行。

数字接口

AD4112的可编程功能通过SPI串行接口控制。AD4112的串行接口包含四个信号： \overline{CS} 、DIN、SCLK和DOUT/ \overline{RDY} 。DIN线路将数据传输至片内寄存器。DOUT输出从片内寄存器访问数据。SCLK是该器件的串行时钟输入。所有数据传输(无论是DIN上还是DOUT上)均相对于该SCLK信号进行。

DOUT/ \overline{RDY} 引脚也可用作数据就绪信号；当数据寄存器中有新数据字可用时，如果 \overline{CS} 为低电平，则该线路变为低电平。对数据寄存器的读操作完成时，该引脚复位为高电平。数据寄存器更新之前， \overline{RDY} 输出也会变为高电平，以提示此时不应从器件读取数据，确保寄存器正在更新时不会发生数据读取操作。当 \overline{RDY} 即将变为低电平时，务必小心，避免从数据寄存器读取数据。确保不会发生数据读取操作的最佳方法是始终监控 \overline{RDY} 输出。当 \overline{RDY} 变为低电平时，尽快开始读取数据寄存器，并确保SCLK速率足够高，以便读取操作能在下一个转换结果之前完成。 \overline{CS} 用来选择器件。在多个器件与串行总线相连的系统中， \overline{CS} 可以用于对AD4112进行解码。

图2和图3显示了与AD4112进行接口的时序图，其中使用 \overline{CS} 解码该器件。图2显示对AD4112执行读取操作的时序，图3显示对AD4112执行写入操作的时序。即使在第一次读取操作之后 \overline{RDY} 输出返回到高电平，也可以多次读取数据寄存器。不过，务必确保在下一输出更新发生之前，这些读操作已完成。连续读取模式下，只能从数据寄存器读取一次。

将 \overline{CS} 与低电平相连时，串行接口可以在三线模式下工作。这种情况下，SCLK、DIN和DOUT/ \overline{RDY} 线路用于与AD4112通信。还可以使用状态寄存器中的 \overline{RDY} 位监控转换是否结束。

在 $\overline{CS} = 0$ 且DIN = 1时，写入64个SCLK可以复位串行接口。复位使接口返回到ADC等待主机对通信寄存器执行写操作的状态。该操作会将所有寄存器的内容复位到其上电值。复位后，等待500 μ s再寻址串行接口。

校验和保护

AD4112具有校验和模式，可用来提高接口的鲁棒性。使用校验和可确保仅将有效数据写入寄存器，并且可以对从寄存

器读取的数据进行验证。如果寄存器写入期间发生错误，状态寄存器的CRC_ERROR位将置1。但是，为确保寄存器写入完成，务必要回读该寄存器并验证校验和。

写操作期间的CRC校验和计算始终使用下列多项式：

$$x^8 + x^2 + x + 1$$

读取操作期间，用户可以选择此多项式和相似的异或(XOR)函数。与基于多项式的校验和相比，主机处理器处理XOR函数所需的时间更少。接口模式寄存器的CRC_EN位用于使能和禁用校验和，并允许用户选择多项式或简单的XOR校验。

校验和附加于每次读和写处理的末尾。写处理的校验和和利用8位命令字和数据（8位至24位取决于寄存器长度）计算。读处理的校验和利用命令字和数据（8位至32位取决于寄存器长度）计算。图57和图58分别显示了SPI读和写处理。

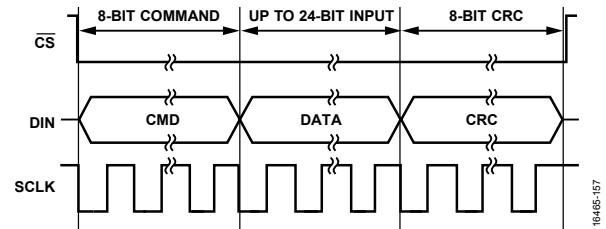


图57. 使能CRC的SPI写处理

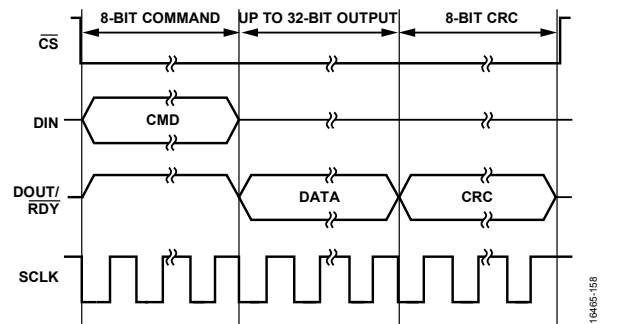


图58. 使能CRC的SPI读处理

连续读取模式有效时，如果使能校验和保护，则每次数据传输前存在暗含的读取数据命令0x44，计算校验和值时必须予以考虑。校验和保护可确保即使ADC数据等于0x000000，校验和值也不是零。

CRC计算

多项式

校验和为8位宽，利用以下多项式产生：

$$x^8 + x^2 + x + 1$$

要生成校验和，需将数据左移8位，产生一个后8位为逻辑0的数值。对齐多项式，使其MSB与该数据最左侧的逻辑1对

齐。对该数据应用一个异或(XOR)函数以产生一个新的、更短的数字。再次对齐多项式，使其MSB与新结果最左侧的逻辑1对齐，重复上述步骤。最后，原始数据将减少至小于多项式的值。此值即是8位校验和。

多项式CRC计算示例—24位字：0x654321（8位命令和16位数据）

下例使用基于多项式的校验和生成8位校验和。

Initial value	011001010100001100100001	
	01100101010000110010000100000000	left shifted eight bits
$x^8 + x^2 + x + 1 =$	100000111	polynomial
	100100100000110010000100000000	XOR result
	100000111	polynomial
	100011000110010000100000000	XOR result
	100000111	polynomial
	11111110010000100000000	XOR result
	100000111	polynomial value
	1111101110000100000000	XOR result
	100000111	polynomial value
	111100000000100000000	XOR result
	100000111	polynomial value
	11100111000100000000	XOR result
	100000111	polynomial value
	1100100100100000000	XOR result
	100000111	polynomial value
	101101100000000	XOR result
	100000111	polynomial value
	1101011000000	XOR result
	100000111	polynomial value
	101010110000	XOR result
	100000111	polynomial value
	1010001000	XOR result
	100000111	polynomial value
	10000110	checksum = 0x86.

XOR 计算

校验和为8位宽，产生方法如下：将数据拆分为字节，然后对这些字节执行XOR运算。

XOR计算示例—24位字：0x654321 (8位命令和16位数据)

按照“多项式”部分中所示的示例，将校验和划分为三个字节：0x65、0x43和0x21。

然后，通过下式计算XOR：

01100101	0x65
01000011	0x43
00100110	XOR result
00100001	0x21
00000111	CRC

集成功能

AD4112具备多个集成功能。

通用输出

AD4112拥有两个通用数字输出引脚（GPO0, GPO1）。GPO引脚通过GPIOCON寄存器中的OP_EN0_1位使能。

GP_DATA0和GP_DATA1位分别决定引脚的逻辑电平输出。这些引脚的逻辑电平以AVDD和AVSS为基准。因此，输出幅度为5 V或3.3 V，具体取决于AVDD - AVSS电压。

如果将GPIOCON寄存器中的ERR_EN位设为11， $\overline{\text{ERROR}}$ 引脚也可用作通用输出。这种配置下，GPIOCON寄存器中的ERR_DAT位决定 $\overline{\text{ERROR}}$ 引脚的逻辑电平输出。该引脚的逻辑电平以IOVDD和DGND为基准， $\overline{\text{ERROR}}$ 引脚具有一个有源上拉电阻。

延迟

在AD4112开始采样之前，可以插入一个可编程延迟时间。此延迟可以让外部放大器或多路复用器有时间建立，另外还能降低外部放大器或多路复用器的技术要求。利用ADC模式寄存器中的延迟时间位（寄存器0x01，位[10:8]），可以设置从0 μs 到8 ms的八个可编程选项。

16位/24位转换

AD4112默认产生24位转换。然而，转换结果的宽度可以减少至16位。将接口模式寄存器的WL16位设置为1，可将所有数据转换舍入到16位。此位清0时，数据转换的宽度为24位。

DOUT_RESET

串行接口使用共享的DOUT/RDY引脚。默认情况下，此引脚输出RDY信号。数据读取期间，此引脚从所读取的寄存器输出数据。完成读取后，经过短暂的固定时间（ t_r ），该引脚恢复输出RDY信号。然而，此时间对某些微控制器而言可能太短，可以将接口模式寄存器中的DOUT_RESET位设为1，使其延长至 $\overline{\text{CS}}$ 引脚变为高电平为止。这种设置意味着，必须使用 $\overline{\text{CS}}$ 来对每个读取操作进行帧传输并完成串行接口处理。

同步

正常同步

当GPIOCON寄存器的SYNC_EN位设为1时， $\overline{\text{SYNC}}$ 引脚用作同步引脚。利用 $\overline{\text{SYNC}}$ 输入，用户可以复位调制器和数字滤

波器，而不会影响器件的任何设置条件。通过该复位，用户可以从已知时间点（即 $\overline{\text{SYNC}}$ 的上升沿）开始采集模拟输入的样本。为确保同步发生，此引脚必须保持低电平至少一个主时钟周期。如果有多个通道使能，序列器将复位至第一个使能通道。

如果多个AD4112器件利用一个公共主时钟工作，则可以让这些器件同步，使其数据寄存器同时更新。同步一般在各AD4112已执行自身校准或已将校准系数载入其校准寄存器之后完成。 $\overline{\text{SYNC}}$ 引脚上的下降沿使数字滤波器和模拟调制器复位，并将AD4112置于一致的已知状态。在 $\overline{\text{SYNC}}$ 引脚为低电平期间，AD4112保持该状态。在 $\overline{\text{SYNC}}$ 上升沿，调制器和滤波器离开复位状态；在下一主时钟沿，器件再次开始采集输入样本。

该器件在 $\overline{\text{SYNC}}$ 由低到高跃迁之后的主时钟下降沿离开复位状态。因此，当同步多个器件时，在主时钟上升沿将 $\overline{\text{SYNC}}$ 引脚拉高，确保所有器件均在主时钟下降沿开始采样。如果 $\overline{\text{SYNC}}$ 引脚没有在充足的时间内变为高电平，则器件之间可能相差一个主时钟周期，即对于不同器件，获得转换结果的时刻最多相差一个主时钟周期。

在正常同步模式下， $\overline{\text{SYNC}}$ 输入也可用作单个通道的开始转换命令。这种模式下， $\overline{\text{SYNC}}$ 输入的上升沿启动转换，RDY输出的下降沿指示转换已完成。每次数据寄存器更新时，需要考虑滤波器的建立时间。转换完成后，拉低 $\overline{\text{SYNC}}$ 输入以准备下一个转换开始信号。

交替同步

在交替同步模式下，当AD4112的多个通道使能时， $\overline{\text{SYNC}}$ 输入用作开始转换命令。将接口模式寄存器的ALT_SYNC位设置为1，可以使能交替同步方案。当 $\overline{\text{SYNC}}$ 输入变为低电平时，ADC完成对使能通道的转换，按顺序选择下一个通道，然后等到 $\overline{\text{SYNC}}$ 输入变为高电平时开始转换。当前通道的转换完成时，RDY输出变为低电平，数据寄存器更新为对应的转换结果。因此， $\overline{\text{SYNC}}$ 输入不会干扰当前选定通道的采样，但允许用户控制下一个通道开始转换的时刻。

交替同步模式只能在使能多个通道时使用。仅使能一个通道时不建议使用这种模式。

错误标志

状态寄存器包含三个错误位（ADC_ERROR、CRC_ERROR和REG_ERROR），分别指示ADC转换错误、CRC校验错误和寄存器改变引起的错误。此外， $\overline{\text{ERROR}}$ 输出可以指示已发生错误。

ADC_ERROR

状态寄存器的ADC_ERROR位指示转换过程中发生的所有错误。当ADC输出超量程或欠量程结果时，该标志位置1。发生过压或欠压时，ADC也会输出全0或全1。此标志仅在过压或欠压消失时复位。读取数据寄存器不会复位此标志。

CRC_ERROR

如果一个写操作相关的CRC值与所发送的信息不一致，CRC_ERROR标志位即置1。一旦明确读取状态寄存器，该标志就会复位。

REG_ERROR

REG_ERROR标志位与接口模式寄存器的REG_CHECK位一起使用。当REG_CHECK位置1时，AD4112 监视片内寄存器的值。若有一位改变，REG_ERROR位就会置1。因此，为了写入片内寄存器，应将REG_CHECK位置0。更新寄存器后，就可以将REG_CHECK位置1。AD4112计算片内寄存器的校验和。若有一个寄存器值发生改变，REG_ERROR位就会置1。发现错误后，必须将REG_CHECK位清0才能清除状态寄存器的REG_ERROR位。寄存器校验功能不监视数据寄存器、状态寄存器和接口模式寄存器。

ERROR输入/输出

ERROR引脚用作错误输入/输出引脚或通用输出引脚。GPIOCON寄存器的ERR_EN位决定该引脚的功能。

ERR_EN设为10时， $\overline{\text{ERROR}}$ 引脚用作开漏错误输出。状态寄存器的三个错误位（ADC_ERROR、CRC_ERROR和REG_ERROR）经过“或”运算并反转后映射到 $\overline{\text{ERROR}}$ 输出。因此， $\overline{\text{ERROR}}$ 输出指示已发生错误。要确定错误来源，必须读取状态寄存器。

ERR_EN设为01时， $\overline{\text{ERROR}}$ 引脚用作错误输入。其它器件的错误输出可以连接到AD4112 $\overline{\text{ERROR}}$ 输入，因此AD4112会

指示自身或外部元件发生错误。 $\overline{\text{ERROR}}$ 输入的值经过反转并与ADC转换错误进行“或”运算，结果通过状态寄存器的ADC_ERROR位指示。 $\overline{\text{ERROR}}$ 输入的值通过GPIO配置寄存器的ERR_DAT位来体现。

ERR_EN设为00时， $\overline{\text{ERROR}}$ 输入/输出禁用。ERR_EN位设为11时， $\overline{\text{ERROR}}$ 引脚用作通用输出，其中ERR_DAT位用于决定引脚的逻辑电平。

DATA_STAT

利用IFMODE寄存器中的DATA_STAT位，可以将状态寄存器的内容附加到AD4112的每次转换结果。使能多个通道时，此功能很有用。每次输出转换结果时，都会附加状态寄存器的内容。状态寄存器的4个LSB表示对应的转换通道。此外，用户可以通过错误位确定是否发生错误。

IOSTRENGTH

串行接口可以采用低至2 V的电源工作。然而，在此低压下，如果板上的寄生电容适中或SCLK频率较高，DOUT/ $\overline{\text{RDY}}$ 引脚可能没有足够的驱动强度。接口模式寄存器的IOSTRENGTH位可提高DOUT/ $\overline{\text{RDY}}$ 引脚的驱动强度。

内部温度传感器

AD4112集成一个温度传感器。该温度传感器可大致指示器件工作所处的环境温度，从而用于诊断目的，或者作为一个指标来判断应用电路是否需要重新运行校准例程以考虑工作温度的变化。温度传感器通过多路复用器选择，与输入通道的选择方法相同。

温度传感器要求在两路输入的输入缓冲器均使能，以及内部基准电压源使能。

要使用温度传感器，第一步是在已知温度(25°C)下校准器件，并将一个转换结果作为基准点。温度传感器的标称灵敏度为477 $\mu\text{V}/\text{K}$ 。这个理想斜率与实测斜率之间的差异可用于校准温度传感器。在25°C进行校准后，温度传感器的额定典型精度为 $\pm 2^\circ\text{C}$ 。温度的计算公式如下：

$$\text{温度 } (^{\circ}\text{C}) = (\text{转换结果} \div 477 \mu\text{V}) - 273.15$$

应用信息

接地和布局布线

由于输入和基准输入均为差分输入,因此模拟调制器中的多数电压都是共模电压。器件的高共模抑制性能可消除这些输入信号中的共模噪声。为将模拟部分与数字部分之间的耦合降至最低,AD4112的模拟电源和数字电源彼此独立,各有单独的引脚排列。数字滤波器可抑制电源上的宽带噪声,但无法抑制那些频率为主时钟频率的整数倍的噪声。

另外,数字滤波器还能够消除来自模拟输入和基准输入的噪声,但前提是这些噪声源没有使模拟调制器饱和。因此,与传统高分辨率转换器相比,AD4112具有更强的抗噪能力。不过,由于AD4112的分辨率较高,而转换器的噪声电平极低,因此必须谨慎对待接地和布局。

ADC所在的PCB必须采用模拟部分与数字部分分离设计,并限制在电路板的一定区域内。为实现最佳屏蔽,一般应尽量减少在地层蚀刻。

无论采取何种布局,用户均必须注意规划系统中电流的回流路径,确保所有电流的回流路径均尽可能靠近电流到达目的地所经过的路径。

避免在该器件下方布设数字走线,否则会将噪声耦合至裸片;将模拟接地层放在AD4112下方可以防止噪声耦合。AD4112的电源线路必须采用尽可能宽的走线,以提供低阻

抗路径,并减小电源线路上的毛刺噪声。应利用数字地屏蔽时钟等快速切换信号,以免向电路板的其他部分辐射噪声,并且绝不应将时钟信号走线布设在输入附近。避免数字信号与模拟信号交叠。电路板相反两侧上的走线应彼此垂直。这种布局可减小电路板上的馈通效应。微带线技术是目前的最佳选择,但这种技术对于双面电路板未必总是可行。采用这种技术时,电路板的元件侧专用于接地层,信号走线则布设在焊接侧。

使用高分辨率ADC时,恰当的去耦十分重要。AD4112有两个电源引脚:AVDD和IOVDD。AVDD引脚以AVSS为基准,IOVDD引脚以DGND为基准。通过10 μF 钽电容与0.1 μF 电容的并联组合将AVDD去耦至各引脚上的AVSS。各电源的0.1 μF 电容应尽可能靠近该器件,且最好正对着该器件。通过10 μF 钽电容与0.1 μF 电容的并联组合将IOVDD去耦至DGND。将所有输入去耦至AVSS。如果使用外部基准电压源,将REF+和REF-引脚去耦至AVSS。

AD4112还有两个板载LDO稳压器:一个用来调节AVDD电源,另一个用来调节IOVDD电源。对于REGCAPA引脚,建议利用1 μF 和0.1 μF 电容将其去耦至AVSS。类似地,对于REGCAPD引脚,建议利用1 μF 和0.1 μF 电容将其去耦至DGND。

寄存器汇总

表23. 寄存器汇总

寄存器	名称	位	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0	复位	RW		
0x00	COMMS	[7:0]	WEN	R/W	RA								0x00	W
0x00	状态	[7:0]	RDY	ADC_ERROR	CRC_ERROR	REG_ERROR	通道					0x80	R	
0x01	ADCMODE	[15:8]	REF_EN	保留	SING_CYC	保留		延迟				0x2000	RW	
		[7:0]	保留	模式			CLOCKSEL		保留					
0x02	IFMODE	[15:8]	保留			ALT_SYNC	IOSTRENGTH	保留		DOUT_RESET		0x0000	RW	
		[7:0]	CONTREAD	DATA_STAT	REG_CHECK	保留	CRC_EN	保留		WL16				
0x03	REGCHECK	[23:16]	REGISTER_CHECK[23:16]										0x000000	R
		[15:8]	REGISTER_CHECK[15:8]											
		[7:0]	REGISTER_CHECK[7:0]											
0x04	数据	[23:16]	数据[23:16]										0x000000	R
		[15:8]	数据[15:8]											
		[7:0]	数据[7:0]											
0x06	GPIOCON	[15:8]	保留	保留	OP_EN0_1	保留	SYNC_EN	ERR_EN		ERR_DAT		0x0800	RW	
		[7:0]	GP_DATA1	GP_DATA0	保留									
0x07	ID	[15:8]	ID[15:8]										0x30Dx	R
		[7:0]	ID[7:0]											
0x10	CH0	[15:8]	CH_EN0	SETUP_SEL0			保留		INPUT0[9:8]			0x8001	RW	
		[7:0]	INPUT0[7:0]											
0x11	CH1	[15:8]	CH_EN1	SETUP_SEL1			保留		INPUT1[9:8]			0x0001	RW	
		[7:0]	INPUT1[7:0]											
0x12	CH2	[15:8]	CH_EN2	SETUP_SEL2			保留		INPUT2[9:8]			0x0001	RW	
		[7:0]	INPUT2[7:0]											
0x13	CH3	[15:8]	CH_EN3	SETUP_SEL3			保留		INPUT3[9:8]			0x0001	RW	
		[7:0]	INPUT3[7:0]											
0x14	CH4	[15:8]	CH_EN4	SETUP_SEL4			保留		INPUT4[9:8]			0x0001	RW	
		[7:0]	INPUT4[7:0]											
0x15	CH5	[15:8]	CH_EN5	SETUP_SEL5			保留		INPUT5[9:8]			0x0001	RW	
		[7:0]	INPUT5[7:0]											
0x16	CH6	[15:8]	CH_EN6	SETUP_SEL6			保留		INPUT6[9:8]			0x0001	RW	
		[7:0]	INPUT6[7:0]											
0x17	CH7	[15:8]	CH_EN7	SETUP_SEL7			保留		INPUT7[9:8]			0x0001	RW	
		[7:0]	INPUT7[7:0]											
0x18	CH8	[15:8]	CH_EN8	SETUP_SEL8			保留		INPUT8[9:8]			0x0001	RW	
		[7:0]	INPUT8[7:0]											
0x19	CH9	[15:8]	CH_EN9	SETUP_SEL9			保留		INPUT9[9:8]			0x0001	RW	
		[7:0]	INPUT9[7:0]											
0x1A	CH10	[15:8]	CH_EN10	SETUP_SEL10			保留		INPUT10[9:8]			0x0001	RW	
		[7:0]	Input10[7:0]											
0x1B	CH11	[15:8]	CH_EN11	SETUP_SEL11			保留		INPUT11[9:8]			0x0001	RW	
		[7:0]	INPUT11[7:0]											
0x1C	CH12	[15:8]	CH_EN12	SETUP_SEL12			保留		INPUT12[9:8]			0x0001	RW	
		[7:0]	INPUT12[7:0]											
0x1D	CH13	[15:8]	CH_EN13	SETUP_SEL13			保留		INPUT13[9:8]			0x0001	RW	
		[7:0]	INPUT13[7:0]											
0x1E	CH14	[15:8]	CH_EN14	SETUP_SEL14			保留		INPUT14[9:8]			0x0001	RW	
		[7:0]	INPUT14[7:0]											
0x1F	CH15	[15:8]	CH_EN15	SETUP_SEL15			保留		INPUT15[9:8]			0x0001	RW	
		[7:0]	INPUT15[7:0]											
0x20	SETUPCON0	[15:8]	保留			BI_UNIPOLAR0	REFBUF0+	REFBUF0-	INBUF0			0x1000	RW	
		[7:0]	保留	保留	REF_SEL0		保留							
0x21	SETUPCON1	[15:8]	保留			BI_UNIPOLAR1	REFBUF1+	REFBUF1-	INBUF1			0x1000	RW	
		[7:0]	保留	保留	REF_SEL1		保留							

寄存器	名称	位	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0	复位	RW
0x22	SETUPCON2	[15:8]		保留		BI_UNIPOLAR2	REFBUF2+	REFBUF2-		INBUF2	0x1000	RW
		[7:0]	保留	保留		REF_SEL2		保留				
0x23	SETUPCON3	[15:8]		保留		BI_UNIPOLAR3	REFBUF3+	REFBUF3-		INBUF3	0x1000	RW
		[7:0]	保留	保留		REF_SEL3		保留				
0x24	SETUPCON4	[15:8]		保留		BI_UNIPOLAR4	REFBUF4+	REFBUF4-		INBUF4	0x1000	RW
		[7:0]	保留	保留		REF_SEL4		保留				
0x25	SETUPCON5	[15:8]		保留		BI_UNIPOLAR5	REFBUF5+	REFBUF5-		INBUF5	0x1000	RW
		[7:0]	保留	保留		REF_SEL5		保留				
0x26	SETUPCON6	[15:8]		保留		BI_UNIPOLAR6	REFBUF6+	REFBUF6-		INBUF6	0x1000	RW
		[7:0]	保留	保留		REF_SEL6		保留				
0x27	SETUPCON7	[15:8]		保留		BI_UNIPOLAR7	REFBUF7+	REFBUF7-		INBUF7	0x1000	RW
		[7:0]	保留	保留		REF_SEL7		保留				
0x28	FILTCON0	[15:8]	SINC3_MAP0		保留		ENHFILTEN0		ENHFILT0		0x0500	RW
		[7:0]	保留	ORDER0			ODR0					
0x29	FILTCON1	[15:8]	SINC3_MAP1		保留		ENHFILTEN1		ENHFILT1		0x0500	RW
		[7:0]	保留	ORDER1			ODR1					
0x2A	FILTCON2	[15:8]	SINC3_MAP2		保留		ENHFILTEN2		ENHFILT2		0x0500	RW
		[7:0]	保留	ORDER2			ODR2					
0x2B	FILTCON3	[15:8]	SINC3_MAP3		保留		ENHFILTEN3		ENHFILT3		0x0500	RW
		[7:0]	保留	ORDER3			ODR3					
0x2C	FILTCON4	[15:8]	SINC3_MAP4		保留		ENHFILTEN4		ENHFILT4		0x0500	RW
		[7:0]	保留	ORDER4			ODR4					
0x2D	FILTCON5	[15:8]	SINC3_MAP5		保留		ENHFILTEN5		ENHFILT5		0x0500	RW
		[7:0]	保留	ORDER5			ODR5					
0x2E	FILTCON6	[15:8]	SINC3_MAP6		保留		ENHFILTEN6		ENHFILT6		0x0500	RW
		[7:0]	保留	ORDER6			ODR6					
0x2F	FILTCON7	[15:8]	SINC3_MAP7		保留		ENHFILTEN7		ENHFILT7		0x0500	RW
		[7:0]	保留	ORDER7			ODR7					
0x30	OFFSET0	[23:0]				OFFSET0[23:0]					0x800000	RW
0x31	OFFSET1	[23:0]				OFFSET1[23:0]					0x800000	RW
0x32	OFFSET2	[23:0]				OFFSET2[23:0]					0x800000	RW
0x33	OFFSET3	[23:0]				OFFSET3[23:0]					0x800000	RW
0x34	OFFSET4	[23:0]				OFFSET4[23:0]					0x800000	RW
0x35	OFFSET5	[23:0]				OFFSET5[23:0]					0x800000	RW
0x36	OFFSET6	[23:0]				OFFSET6[23:0]					0x800000	RW
0x37	OFFSET7	[23:0]				OFFSET7[23:0]					0x800000	RW
0x38	GAIN0	[23:0]				GAIN0[23:0]					0x5XXXX0	RW
0x39	GAIN1	[23:0]				GAIN1[23:0]					0x5XXXX0	RW
0x3A	GAIN2	[23:0]				GAIN2[23:0]					0x5XXXX0	RW
0x3B	GAIN3	[23:0]				GAIN3[23:0]					0x5XXXX0	RW
0x3C	GAIN4	[23:0]				GAIN4[23:0]					0x5XXXX0	RW
0x3D	GAIN5	[23:0]				GAIN5[23:0]					0x5XXXX0	RW
0x3E	GAIN6	[23:0]				GAIN6[23:0]					0x5XXXX0	RW
0x3F	GAIN7	[23:0]				GAIN7[23:0]					0x5XXXX0	RW

寄存器详解

通信寄存器

地址：0x00；复位：0x00；名称：COMMS

对片内寄存器的所有访问均必须以对通信寄存器的写操作开始。此写入操作决定接下来要访问哪一个寄存器，以及相关操作是写入还是读取。

表24. COMMS的位功能描述

位	位名称	设置	说明	复位	访问类型
7	WEN		要与ADC开始通信，此位必须为低电平	0x0	W
6	R/W	0 1	此位决定命令是读取操作还是写入操作 0 写命令 1 读命令	0x0	W
[5:0]	RA	000000 000001 000010 000011 000100 000110 000111 010000 010001 010010 010011 010100 010101 010110 010111 011000 011001 011010 011011 011100 011101 011110 011111 100000 100001 100010 100011 100100 100101 100110 100111 101000 101001 101010 101011 101100 101101 101110 101111	寄存器地址位决定当前通信读取或写入的寄存器 状态寄存器 ADC模式寄存器 接口模式寄存器 寄存器校验和寄存器 数据寄存器 GPIO配置寄存器 ID寄存器 通道0寄存器 通道1寄存器 通道2寄存器 通道3寄存器 通道4寄存器 通道5寄存器 通道6寄存器 通道7寄存器 通道8寄存器 通道9寄存器 通道10寄存器 通道11寄存器 通道12寄存器 通道13寄存器 通道14寄存器 通道15寄存器 设置配置0寄存器 设置配置1寄存器 设置配置2寄存器 设置配置3寄存器 设置配置4寄存器 设置配置5寄存器 设置配置6寄存器 设置配置7寄存器 滤波器配置0寄存器 滤波器配置1寄存器 滤波器配置2寄存器 滤波器配置3寄存器 滤波器配置4寄存器 滤波器配置5寄存器 滤波器配置6寄存器 滤波器配置7寄存器	0x00	W

位	位名称	设置	说明	复位	访问类型
		110000	失调0寄存器		
		110001	失调1寄存器		
		110010	失调2寄存器		
		110011	失调3寄存器		
		110100	失调4寄存器		
		110101	失调5寄存器		
		110110	失调6寄存器		
		110111	失调7寄存器		
		111000	增益0寄存器		
		111001	增益1寄存器		
		111010	增益2寄存器		
		111011	增益3寄存器		
		111100	增益4寄存器		
		111101	增益5寄存器		
		111110	增益6寄存器		
		111111	增益7寄存器		

状态寄存器

地址：0x00，复位：0x80，名称：状态

状态寄存器是一个8位寄存器，包含ADC和串行接口的状态信息。通过将接口模式寄存器的DATA_STAT位设置为1，可以将寄存器附加到数据寄存器。

表25. STATUS的位功能描述

位	位名称	设置	说明	复位	访问类型
7	RDY		只要CS为低电平且不在读取寄存器，RDY的状态就会输出到DOUT/RDY引脚。当ADC将新结果写入数据寄存器时，此位变为低电平。在ADC校准模式下，ADC写入校准结果后，此位变为低电平。RDY在读取数据寄存器时，自动变为高电平。 0 新数据结果可用。 1 等待新数据结果。	0x1	R
6	ADC_ERROR		此位默认指示是发生ADC超量程还是欠量程事件。发生超量程错误时，ADC结果箝位至0xFFFFF；发生欠量程错误时，ADC结果箝位至0x000000。此位在写入ADC结果时更新，在消除超量程或欠量程状况后的下一次更新时清0。 0 无错误。 1 错误。	0x0	R
5	CRC_ERROR		此位指示寄存器写入操作期间是否发生了CRC错误。对于寄存器读取操作，主机微控制器决定是否发生了CRC错误。读取此寄存器时，该位清0。 0 无错误。 1 CRC 错误。	0x0	R
4	REG_ERROR		此位指示其中一个内部寄存器的内容是否发生变化，与激活寄存器完整性检查时计算的值不同。要激活该检查，须将接口模式寄存器的REG_CHECK位设置为1。REG_CHECK位清0时，此位清0。 0 无错误。 1 错误。	0x0	R

AD4112

位	位名称	设置	说明	复位	访问类型
[3:0]	通道		这些位指示数据寄存器中当前存储的结果所对应的ADC转换通道。这可能与当前正在转换的通道不同。该映射是通道寄存器的直接映射；因此，通道0产生0x0，通道15产生0xF。	0x0	R
		0000	通道0。		
		0001	通道1。		
		0010	通道2。		
		0011	通道3。		
		0100	通道4。		
		0101	通道5。		
		0110	通道6。		
		0111	通道7。		
		1000	通道8。		
		1001	通道9。		
		1010	通道10。		
		1011	通道11。		
		1100	通道12。		
		1101	通道13。		
		1110	通道14。		
		1111	通道15。		

ADC模式寄存器

地址：0x01；复位：0x2000；名称：ADCMODE

ADC模式寄存器控制ADC的工作模式和主时钟选择。写入ADC模式寄存器会复位滤波器和RDY位，并开始新的转换或校准。

表26. ADCMODE的位功能描述

位	位名称	设置	说明	复位	访问类型
15	REF_EN		使能内部基准电压源并输出缓冲2.5 V电压到REFOUT引脚。 0 禁用。 1 使能。	0x0	RW
14	保留		该位为保留位。此位置0。	0x0	RW
13	SING_CYC		仅单个通道有效时，可以使用此位来设置ADC仅以建立的滤波器数据速率输出。 0 禁用。 1 使能。	0x1	RW
[12:11]	保留		这些位保留；这些位置0。	0x0	R
[10:8]	延迟		这些位允许通道切换后增加一个可编程的延迟时间，以便外部电路能在ADC开始处理其输入前稳定下来。 000 0 μs 001 32 μs 010 128 μs 011 320 μs 100 800 μs 101 1.6 ms。 110 4 ms。 111 8 ms。	0x0	RW
7	保留		该位为保留位。此位置0。	0x0	R

位	位名称	设置	说明	复位	访问类型
[6:4]	模式	000 001 010 011 100 101 110 111	这些位控制ADC的工作模式。更多信息参见“工作模式”部分。 连续转换模式。 单次转换模式。 待机模式。 关断模式。 内部失调校准。 内部增益校准。 系统失调校准。 系统增益校准。	0x0	RW
[3:2]	CLOCKSEL	00 01 10 11	这些位用来选择ADC时钟源。如果选择内部振荡器，则也会使能内部振荡器。 内部振荡器。 XTAL2/CLKIO引脚上的内部振荡器输出。 XTAL2/CLKIO引脚上的外部时钟输入。 XTAL1 引脚和 XTAL2/CLKIO 引脚上的外部晶振。	0x0	RW
[1:0]	保留		这些位保留；这些位置0。	0x0	R

接口模式寄存器

地址：0x02；复位：0x0000；名称：IFMODE

接口模式寄存器配置各种串行接口选项。

表27. IFMODE的位功能描述

位	位名称	设置	说明	复位	访问类型
[15:13]	保留		这些位保留；这些位置0。	0x0	R
12	ALT_SYNC	0 1	此位使能SYNC引脚的不同行为，以便利用SYNC来控制循环通道的转换 禁用。 使能。	0x0	RW
11	IOSTRENGTH	0 1	此位控制DOUT/RDY引脚的驱动强度。在IOVDD电源较低且电容中等的情况下高速读取串行接口时，应将此位置1。 禁用（默认）。 使能。	0x0	RW
[10:9]	保留		这些位保留；这些位置0。	0x0	R
8	DOUT_RESET	0 1	参见“DOUT_RESET”部分 禁用。 使能。	0x0	RW
7	CONTREAD	0 1	此位使能ADC数据寄存器的连续读取模式。要使用连续读取模式，ADC必须配置为连续转换模式。详情参见“工作模式”部分。 禁用。 使能。	0x0	RW
6	DATA_STAT	0 1	此位使状态寄存器可以在读取时附加到数据寄存器上，使得通道和状态信息与数据一同传输。这是确保从状态寄存器读出的通道位与数据寄存器中的数据对应的唯一方式。 禁用。 使能。	0x0	RW

位	位名称	设置	说明	复位	访问类型
5	REG_CHECK	0 1	此位使能寄存器完整性检查，利用此检查可监视用户寄存器值的任何变化。要使用此特性，需在此位清0的情况下根据需要配置所有其他寄存器。然后，写入此寄存器，将REG_CHECK位设为1。若有任一寄存器的内容发生变化，状态寄存器的REG_ERROR位就会置1。要清除错误，将REG_CHECK位置0。检查的寄存器不包括接口模式寄存器、ADC数据和状态寄存器。如果寄存器必须写入新值，则必须首先将此位清0；否则，写入新寄存器内容时会报错。 禁用。 使能。	0x0	RW
4	保留		该位为保留位。此位置0。	0x0	R
[3:2]	CRC_EN	00 01 10	这些位使能寄存器读写的CRC保护。CRC会将串行接口传输的字节数加1。 禁用 使能寄存器读处理的XOR校验和；寄存器写处理仍将CRC和这些位设置结合使用。 读和写处理均使能CRC校验和。	0x00	RW
1	保留		该位为保留位。此位置0。	0x0	R
0	WL16	0 1	此位将ADC数据寄存器变为16位。写入接口模式寄存器不会复位ADC；因此，写入这些位后，ADC结果不会立即舍入到正确的字长。第一个新的ADC结果是正确的。 24位数据。 16位数据。	0x0	RW

寄存器检查

地址：0x03；复位：0x000000；名称：REGCHECK

寄存器检查寄存器是通过用户对用户寄存器的内容进行异或运算而求得的24位校验和。要使用此功能，接口模式寄存器的REG_CHECK位必须置1；否则，寄存器读出0。

表28. REGCHECK的位功能描述

位	位名称	设置	说明	复位	访问类型
[23:0]	REGISTER_CHECK		接口模式寄存器的REG_CHECK位设置为1时，此寄存器包含用户寄存器的24位校验和。	0x000000	R

数据寄存器

地址：0x04；复位：0x000000；名称：数据

数据寄存器包含ADC转换结果。编码为偏移二进制，也可以通过设置配置寄存器的BI_UNIPOLARx位更改为单极性。读取数据寄存器会将RDY位和RDY输出拉高（如果当前为低电平）。ADC结果可以多次读取。但是，由于RDY输出被拉高，因此无法确定下一个ADC结果是否即将到来。收到读取ADC寄存器的命令之后，ADC不会将新结果写入数据寄存器。

表29. 数据的位功能描述

位	位名称	设置	说明	复位	访问类型
[23:0]	数据		此寄存器包含ADC转换结果。若接口模式寄存器的DATA_STAT置1，则读取时状态寄存器会附加于此寄存器，使其成为32位寄存器。如果接口模式寄存器的WL16置1，则该寄存器缩短为16位。	0x000000	R

GPIO配置寄存器

地址：0x06，复位：0x0800，名称：GPIOCON

GPIO配置寄存器控制ADC的通用I/O引脚。

表30. GPIOCON的位功能描述

位	位名称	设置	说明	复位	访问类型
[15:14]	保留		保留。	0x0	R
13	OP_EN0_1	0 1	GPO0/GPO1输出使能。此位使能GPO0和GPO1引脚。输出以AVDD与AVSS之间的电平为基准。 0 禁用。 1 使能。	0x0	R/W
12	保留		保留	0x0	R
11	SYNC_EN	0 1	SYNC输入使能。此位可使SYNC引脚用作同步输入。设置为低电平时，SYNC引脚使ADC和滤波器保持复位状态，直到SYNC变为高电平为止。当接口模式寄存器的ALT_SYNC位置1时，可以使用SYNC引脚的另一个功能。此模式仅在使能多个通道时有效。这种情况下，SYNC引脚的低电平不会导致滤波器/调制器立即复位。相反，当通道就要切换时，如果SYNC引脚为低电平，则会阻止调制器和滤波器开始新的转换。将SYNC拉高就会开始新的转换。利用这一备选同步模式，可以在遍历通道的同时使用SYNC。 0 禁用。 1 使能。	0x1	R/W
[10:9]	ERR_EN	00 01 10 11	错误引脚模式。这些位可使ERROR引脚用作错误输入/输出。 00 禁用。 01 使能错误输入（低电平有效）。 \overline{ERROR} 是错误输入。（反转）回读状态与其他误差源进行“或”运算，结果通过状态寄存器的ADC_ERROR位输出。ERROR引脚状态也可通过此寄存器的ERR_DAT位读取。 10 使能开漏错误输出（低电平有效）。 \overline{ERROR} 是开漏错误输出。状态寄存器错误位经过“或”运算、反转后映射到ERROR引脚。多个器件的ERROR引脚可以连接到同一个上拉电阻，这样就可以观察到任何器件的错误。 11 通用输出（低电平有效）。 \overline{ERROR} 是通用输出。此引脚的状态由该寄存器的ERR_DAT位控制。此输出以IOVDD与DGND之间的电平为基准，而不是以GPIOx引脚使用的AVDD1和AVSS电平为基准。这种情况下，该输出有一个有源上拉电阻。	0x0	R/W
8	ERR_DAT	0 1	错误引脚数据。引脚用作通用输出时，此位决定ERROR引脚的逻辑电平。该引脚用作输入时，此位反映其回读状态。 0 逻辑0。 1 逻辑1。	0x0	R/W
7	GP_DATA1	0 1	GPO1数据。此位是GPO1的写入数据。 0 GPO1 = 0。 1 GPO1 = 1。	0x0	R/W
6	GP_DATA0	0 1	GPO0数据。此位是GPO0的写入数据。 0 GPO0 = 0。 1 GPO0 = 1。	0x0	R/W
[5:0]	保留		保留。	0x0	R

AD4112

ID寄存器

地址：0x07；复位：0x30DX；名称：ID

ID寄存器返回16位ID。对于AD4112，这个值为0x30DX。

表31. ID的位功能描述

位	位名称	设置	说明	复位	访问类型
[15:0]	ID		产品 ID。ID 寄存器返回 ADC 特定的 16 位 ID 代码。	0x30DX	R

通道寄存器0

地址：0x10；复位：0x8001；名称：CH0

通道寄存器是16位寄存器，用于选择当前有效的通道、各通道的所选输入以及该通道用来配置ADC的设置。

表32. CH0的位功能描述

位	位名称	设置	说明	复位	访问类型
15	CH_EN0	0 1	此位使能通道0。使能多个通道时，ADC自动按顺序处理各通道。 0 禁用。 1 使能。	0x1	R/W
[14:12]	SETUP_SELO	000 001 010 011 100 101 110 111	这些位决定该通道使用8种设置中的哪一种来配置ADC。设置由4个寄存器构成：设置配置寄存器、滤波器配置寄存器、失调寄存器和增益寄存器。所有通道可以使用相同的设置，此时对于所有有效的通道，必须将相同的3位值写入这些位；最多可以配置八个不同的通道。 000 设置0。 001 设置1。 010 设置2。 011 设置3。 100 设置4。 101 设置5。 110 设置6。 111 设置7。	0x0	R/W
[11:10]	保留		保留。	0x0	R
[9:0]	INPUT0	000000001 000001000 000010000 000011000 000100011 000101000 000110010 000111000 001000010 001001000 001010010 001011000 001100011 001101000 001110010 001111000 011000101 011010100 011011000 011100011 011101000 011110010 011111000 011000101 011010100 011100100	VIN0, VIN1。 VIN0, VINCOM。 VIN1, VIN0。 VIN1, VINCOM。 VIN2, VIN3。 VIN2, VINCOM。 VIN3, VIN2。 VIN3, VINCOM。 VIN4, VIN5。 VIN4, VINCOM。 VIN5, VIN4。 VIN5, VINCOM。 VIN6, VIN7。 VIN6, VINCOM。 VIN7, VIN6。 IN7, VINCOM。 IIN3+, IIN3-。 IIN2+, IIN2-。 IIN1+, IIN1-。	0x1	R/W

位	位名称	设置	说明	复位	访问类型
		0111101000 1000110010 1010110110	IIN0+, IIN0-。 温度传感器。 基准电压源。		

通道寄存器1至通道寄存器15

地址：0x11至地址0x1F，复位：0x0001，名称：CH1至CH7

剩下的15个通道寄存器使用与通道寄存器0相同的布局。

表33. CH1至CH15寄存器映射

寄存器	名称	位	位7	位6	位5	位4	位3	位2	位1	位0	复位	RW
0x11	CH1	[15:8]	CH_EN1	SETUP_SEL1		保留		INPUT1[9:8]		0x0001	RW	
		[7:0]	INPUT1[7:0]									
0x12	CH2	[15:8]	CH_EN2	SETUP_SEL2		保留		INPUT2[9:8]		0x0001	RW	
		[7:0]	INPUT2[7:0]									
0x13	CH3	[15:8]	CH_EN3	SETUP_SEL3		保留		INPUT3[9:8]		0x0001	RW	
		[7:0]	INPUT3[7:0]									
0x14	CH4	[15:8]	CH_EN4	SETUP_SEL4		保留		INPUT4[9:8]		0x0001	RW	
		[7:0]	INPUT4[7:0]									
0x15	CH5	[15:8]	CH_EN5	SETUP_SEL5		保留		INPUT5[9:8]		0x0001	RW	
		[7:0]	INPUT5[7:0]									
0x16	CH6	[15:8]	CH_EN6	SETUP_SEL6		保留		INPUT6[9:8]		0x0001	RW	
		[7:0]	INPUT6[7:0]									
0x17	CH7	[15:8]	CH_EN7	SETUP_SEL7		保留		INPUT7[9:8]		0x0001	RW	
		[7:0]	INPUT7[7:0]									
0x18	CH8	[15:8]	CH_EN8	SETUP_SEL8		保留		INPUT8[9:8]		0x0001	RW	
		[7:0]	INPUT8[7:0]									
0x19	CH9	[15:8]	CH_EN9	SETUP_SEL9		保留		INPUT9[9:8]		0x0001	RW	
		[7:0]	INPUT9[7:0]									
0x1A	CH10	[15:8]	CH_EN10	SETUP_SEL10		保留		INPUT10[9:8]		0x0001	RW	
		[7:0]	INPUT10[7:0]									
0x1B	CH11	[15:8]	CH_EN11	SETUP_SEL11		保留		INPUT11[9:8]		0x0001	RW	
		[7:0]	INPUT11[7:0]									
0x1C	CH12	[15:8]	CH_EN12	SETUP_SEL12		保留		INPUT12[9:8]		0x0001	RW	
		[7:0]	INPUT12[7:0]									
0x1D	CH13	[15:8]	CH_EN13	SETUP_SEL13		保留		INPUT13[9:8]		0x0001	RW	
		[7:0]	INPUT13[7:0]									
0x1E	CH14	[15:8]	CH_EN14	SETUP_SEL14		保留		INPUT14[9:8]		0x0001	RW	
		[7:0]	INPUT14[7:0]									
0x1F	CH15	[15:8]	CH_EN15	SETUP_SEL15		保留		INPUT15[9:8]		0x0001	RW	
		[7:0]	INPUT15[7:0]									

设置配置寄存器0

地址：0x20，复位：0x1000，名称：SETUPCON0

设置配置寄存器是16位寄存器，用于配置ADC的基准电压源选择、输入缓冲器和输出编码方式。

表34. SETUPCON0的位功能描述

位	位名称	设置	说明	复位	访问类型
[15:13]	保留		这些位保留；这些位置0。	0x0	R
12	BI_UNIPOLAR0	0 1	双极性/单极性。此位设置设置0的ADC输出编码。 0 单极性编码输出。 1 双极性编码输出。	0x1	R/W
11	REFBUF0+	0 1	REF+缓冲器。此位使能或禁用REF+输入缓冲器。 0 禁用。 1 使能。	0x0	R/W
10	REFBUF0-	0 1	REF-缓冲器。此位使能或禁用REF-输入缓冲器。 0 禁用。 1 使能。	0x0	R/W
[9:8]	INBUF0	00 01 10 11	输入缓冲器。此位使能或禁用输入缓冲器。 00 禁用。 01 保留。 10 保留。 11 使能。	0x0	R/W
7	保留		该位为保留位。此位置0。	0x0	R
6	保留		该位为保留位。此位置0。	0x0	R
[5:4]	REF_SEL0	00 10 11	这些位选择用于设置0 ADC转换的基准电压源。 00 外部基准电压源 - REF±。 10 内部2.5 V基准电压源，必须通过ADCMODE使能（参见表26）。 11 AVDD - AVSS。	0x0	R/W
[3:0]	保留		这些位保留；这些位置0。	0x0	R

设置配置寄存器1至设置配置寄存器7

地址：0x21至地址0x27，复位：0x1000，名称：SETUPCON1至SETUPCON7

剩下的七个设置配置寄存器使用与设置配置寄存器0相同的布局。

表35. SETUPCON1至SETUPCON7寄存器映射

寄存器	名称	位	位7	位6	位5	位4	位3	位2	位1	位0	复位	RW
0x21	SETUPCON1	[15:8]	保留			BI_UNIPOLAR1	REFBUF1+	REFBUF1-	INBUF1	0x1000	RW	
		[7:0]	保留	保留		REF_SEL1	保留					
0x22	SETUPCON2	[15:8]	保留			BI_UNIPOLAR2	REFBUF2+	REFBUF2-	INBUF2	0x1000	RW	
		[7:0]	保留	保留		REF_SEL2	保留					
0x23	SETUPCON3	[15:8]	保留			BI_UNIPOLAR3	REFBUF3+	REFBUF3-	INBUF3	0x1000	RW	
		[7:0]	保留	保留		REF_SEL3	保留					
0x24	SETUPCON4	[15:8]	保留			BI_UNIPOLAR4	REFBUF4+	REFBUF4-	INBUF4	0x1000	RW	
		[7:0]	保留	保留		REF_SEL4	保留					
0x25	SETUPCON5	[15:8]	保留			BI_UNIPOLAR5	REFBUF5+	REFBUF5-	INBUF5	0x1000	RW	
		[7:0]	保留	保留		REF_SEL5	保留					
0x26	SETUPCON6	[15:8]	保留			BI_UNIPOLAR6	REFBUF6+	REFBUF6-	INBUF6	0x1000	RW	
		[7:0]	保留	保留		REF_SEL6	保留					
0x27	SETUPCON7	[15:8]	保留			BI_UNIPOLAR7	REFBUF7+	REFBUF7-	INBUF7	0x1000	RW	
		[7:0]	保留	保留		REF_SEL7	保留					

滤波器配置寄存器0

地址：0x28，复位：0x0500，名称：FILTCON0

滤波器配置寄存器是16位寄存器，用于配置ADC数据速率和滤波器选项。写入此类寄存器会复位任何正在进行的ADC转换，重新从序列中的第一个通道开始转换。

表36. FILTCON0的位功能描述

位	位名称	设置	说明	复位	访问类型
15	SINC3_MAP0		如果此位置1，滤波器寄存器的映射将变为直接对设置0的Sinc3滤波器的抽取率进行编程。所有其他选项均无效。此位允许微调输出数据速率和滤波器陷波频率，以便拒绝特定频率。对于单个通道，数据速率等于 $f_{MOD}/(32 \times FILTCON0[14:0])$ 。	0x0	RW
[14:12]	保留		这些位保留；这些位置0。	0x0	R
11	ENHFILTENO	0 1	此位使能设置0的各种后置滤波器，以提供增强的50 Hz/60 Hz抑制性能。为此，ORDER0位必须设为00以选择Sinc5 + Sinc1滤波器。 0 禁用。 1 使能。	0x0	RW
[10:8]	ENHFILTO	010 011 101 110	这些位选择设置0的各种后置滤波器，以提供增强的50 Hz/60 Hz抑制性能。 010 27 SPS, 47 dB抑制, 36.7 ms建立 011 25 SPS, 62 dB抑制, 40 ms建立 101 20 SPS, 86 dB抑制, 50 ms建立 110 16.67 SPS, 92 dB抑制, 60 ms建立	0x5	RW
7	保留		该位为保留位。此位置0。	0x0	R
[6:5]	ORDER0	00 11	这些位控制设置0的数字滤波器（用于处理调制器数据）的阶数。 00 Sinc5 + sinc1（默认）。 11 Sinc3	0x0	RW
[4:0]	ODR0	00000 00001 00010 00011 00100 00101 00110 00111 01000 01001 01010 01011 01100 01101 01110 01111 10000 10001 10010 10011 10100 10101 10110	这些位控制ADC的输出数据速率，从而控制设置0的建立时间和噪声。所示速率系针对使能单个通道的sinc5 + sinc1滤波器。参见表6至表9以了解多个使能的通道。 00000 31,250 SPS。 00001 31,250 SPS。 00010 31,250 SPS。 00011 31,250 SPS。 00100 31,250 SPS。 00101 31,250 SPS。 00110 15,625 SPS。 00111 10,417 SPS。 01000 5208 SPS。 01001 2597 SPS (sinc3为3906 SPS)。 01010 1007 SPS (sinc3为1157 SPS)。 01011 503.8 SPS (sinc3为539 SPS)。 01100 381 SPS (sinc3为401 SPS)。 01101 200.3 SPS (sinc3为206 SPS)。 01110 100.2 SPS (sinc3为102 SPS)。 01111 59.52 SPS (sinc3为59.98 SPS)。 10000 49.68 SPS (sinc3为50 SPS)。 10001 20.01 SPS。 10010 16.63 SPS (sinc3为16.67 SPS)。 10011 10 SPS。 10100 5 SPS。 10101 2.5 SPS。 10110 1.25 SPS。	0x0	RW

滤波器配置寄存器1至滤波器配置寄存器7

地址：0x29至地址0x2F，复位：0x0500，名称：FILTCON1至FILTCON7

剩下的七个滤波器配置寄存器使用与滤波器配置寄存器0相同的布局。

表37. FILTCON1至FILTCON7滤波器映射

寄存器	名称	位	位7	位6	位5	位4	位3	位2	位1	位0	复位	RW
0x29	FILTCON1	[15:8]	SINC3_MAP1	保留		ENHFILTEN1		ENHFILT1		0x0500	RW	
		[7:0]	保留	ORDER1	ODR1							
0x2A	FILTCON2	[15:8]	SINC3_MAP2	保留		ENHFILTEN2		ENHFILT2		0x0500	RW	
		[7:0]	保留	ORDER2	ODR2							
0x2B	FILTCON3	[15:8]	SINC3_MAP3	保留		ENHFILTEN3		ENHFILT3		0x0500	RW	
		[7:0]	保留	ORDER3	ODR3							
0x2C	FILTCON4	[15:8]	SINC3_MAP4	保留		ENHFILTEN4		ENHFILT4		0x0500	RW	
		[7:0]	保留	ORDER4	ODR4							
0x2D	FILTCON5	[15:8]	SINC3_MAP5	保留		ENHFILTEN5		ENHFILT5		0x0500	RW	
		[7:0]	保留	ORDER5	ODR5							
0x2E	FILTCON6	[15:8]	SINC3_MAP6	保留		ENHFILTEN6		ENHFILT6		0x0500	RW	
		[7:0]	保留	ORDER6	ODR6							
0x2F	FILTCON7	[15:8]	SINC3_MAP7	保留		ENHFILTEN7		ENHFILT7		0x0500	RW	
		[7:0]	保留	ORDER7	ODR7							

失调寄存器0

地址：0x30，复位：0x800000，名称：OFFSET0

失调（零电平）寄存器是24位寄存器，可用于补偿ADC或系统中的任何失调误差。

表38. OFFSET0的位功能描述

位	位名称	设置	说明	复位	访问类型
[23:0]	OFFSET0		设置0的失调校准系数。	0x800000	RW

失调寄存器1至失调寄存器7

地址：0x31至地址0x37，复位：0x800000，名称：OFFSET1至OFFSET7

剩下的七个失调寄存器使用与失调寄存器0相同的布局。

表39. OFFSET1至OFFSET7寄存器映射

寄存器	名称	位	位[23:0]	复位	RW
0x31	OFFSET1	[23:0]	OFFSET1[23:0]	0x800000	RW
0x32	OFFSET2	[23:0]	OFFSET2[23:0]	0x800000	RW
0x33	OFFSET3	[23:0]	OFFSET3[23:0]	0x800000	RW
0x34	OFFSET4	[23:0]	OFFSET4[23:0]	0x800000	RW
0x35	OFFSET5	[23:0]	OFFSET5[23:0]	0x800000	RW
0x36	OFFSET6	[23:0]	OFFSET6[23:0]	0x800000	RW
0x37	OFFSET7	[23:0]	OFFSET7[23:0]	0x800000	RW

增益寄存器0

地址：0x38；复位：0x5XXXX0；名称：GAIN0

增益（满量程）寄存器是24位寄存器，可用来补偿ADC或系统中的任何增益误差。

表40. GAIN0的位功能描述

位	位名称	设置	说明	复位 ¹	访问类型
[23:0]	GAIN0		设置0的增益校准系数。	0x5XXXX0	RW

¹ X表示无关。

增益寄存器1至增益寄存器7

地址：0x39至0x3F；复位：0x5XXXX0；名称：GAIN1至GAIN7

剩下的七个增益寄存器使用与增益寄存器0相同的布局。

表41. GAIN1至GAIN7寄存器映射

寄存器	名称	位	位[23:0]	复位 ¹	RW
0x39	GAIN1	[23:0]	GAIN1[23:0]	0x5XXXX0	RW
0x3A	GAIN2	[23:0]	GAIN2[23:0]	0x5XXXX0	RW
0x3B	GAIN3	[23:0]	GAIN3[23:0]	0x5XXXX0	RW
0x3C	GAIN4	[23:0]	GAIN4[23:0]	0x5XXXX0	RW
0x3D	GAIN5	[23:0]	GAIN5[23:0]	0x5XXXX0	RW
0x3E	GAIN6	[23:0]	GAIN6[23:0]	0x5XXXX0	RW
0x3F	GAIN7	[23:0]	GAIN7[23:0]	0x5XXXX0	RW

¹ X表示无关。

外形尺寸

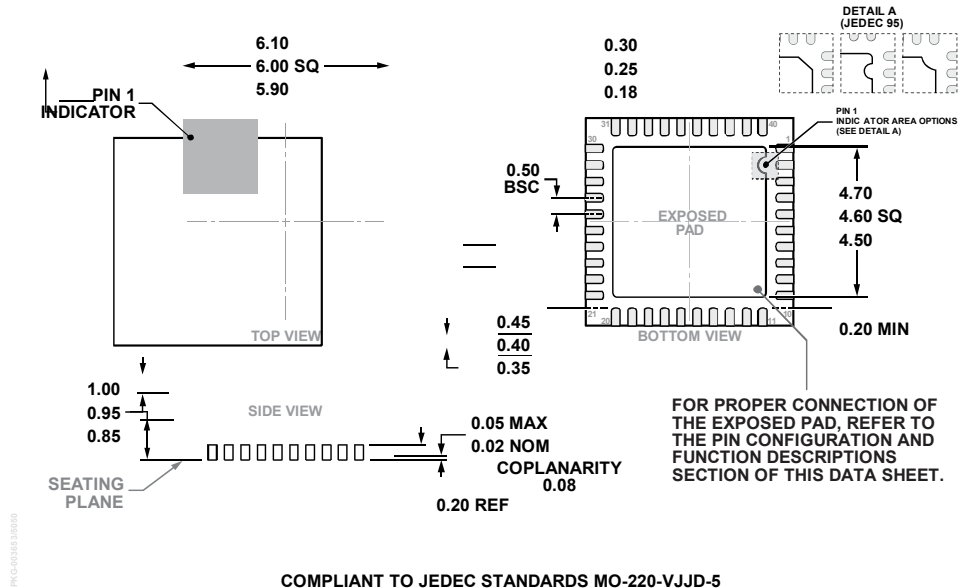


图59. 40引脚引线框芯片级封装[LFCSP]
 6 mm × 6 mm 本体、0.95 mm 封装高度
 (CP-40-15)
 尺寸单位: mm

订购指南

型号 ¹	温度范围	封装描述	封装选项
AD4112BCPZ	-40°C至+105°C	40引脚引线框芯片级封装[LFCSP]	CP-40-15
AD4112BCPZ-RL7	-40°C 至+105°C	40引脚引线框芯片级封装[LFCSP]	CP-40-15
EVAL-AD4112SDZ		评估板	
EVAL-SDP-CB1Z		评估控制板	

¹ Z = 符合RoHS标准的器件。